

DIALOG(R)File 352:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

013077524 **Image available**

WPI Acc No: 2000-249396/200022

Related WPI Acc No: 2000-242461

XRAM Acc No: C00-075827

XRPX Acc No: N00-186955

Semiconductor device e.g. integrated circuit, has recess that is formed by etching predefined portion of SiO₂, Si₃N₄ and SiO₂ films and titanium nitride layer and copper films are formed at inner side of recess

Patent Assignee: MATSUSHITA ELECTRONICS CORP (MATE) ; HARADA T (HARA-I);

MATSUSHITA ELECTRIC IND CO LTD (MATU)

Inventor: HARADA T

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 2000058650	A	20000225	JP 9912699	A	19990121	200022	B
US 20010033025	A1	20011025	US 99321713	A	19990528	200170	
			US 2001884135	A	20010620		
US 6475912	B1	20021105	US 99321713	A	19990528	200276	

Priority Applications (No Type Date): JP 98150956 A 19980601; JP 98220330 A

19980804

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000058650	A	22	H01L-021/768	
US 20010033025	A1		H01L-021/4763 Div ex application US 99321713	
US 6475912	B1		H01L-021/44	

Abstract (Basic): JP 2000058650 A

NOVELTY - The SiO₂ film (103), Si₃N₄ film (104) and SiO₂ film (105) are formed sequentially over a wiring layer (102) on the substrate (101) and a recess (106) is formed by etching predefined portion of the films (103-105). Titanium nitride layer (109) is laminated inside the recess of the insulating film. Then, a copper film (111) is formed on the titanium nitride layer.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (a) manufacturing method of semiconductor device;
- (b) manufacturing apparatus of semiconductor device

USE - For e.g. semiconductor integrated circuit.

ADVANTAGE - Leakage current between recess and wiring layer is reduced, as the recess is coated with titanium nitride layer and copper film. Prevents diffusion of copper atom by using silicon containing titanium nitride layer.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view of semiconductor device.

Substrate (101)

Wiring layer (102)

SiO₂ films (103,105)

Si₃N₄ film (104)

Recess (106)

Titanium nitride layer (109)

Copper film (111)

pp; 22 DwgNo 3/39

Title Terms: SEMICONDUCTOR; DEVICE; INTEGRATE; CIRCUIT; RECESS; FORMING; ETCH; PREDEFINED; PORTION; FILM; TITANIUM; NITRIDE; LAYER; COPPER; FILM; FORMING; INNER; SIDE; RECESS

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/44; H01L-021/4763; H01L-021/768

International Patent Class (Additional): H01L-021/285

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06473075 **Image available**

**SEMICONDUCTOR DEVICE, AND METHOD AND DEVICE FOR
MANUFACTURING THE DEVICE**

PUB. NO.: 2000-058650 [JP 2000058650 A]

PUBLISHED: February 25, 2000 (20000225)

INVENTOR(s): HARADA TAKASHI

APPLICANT(s): MATSUSHITA ELECTRON CORP

APPL. NO.: 11-012699 [JP 9912699]

FILED: January 21, 1999 (19990121)

PRIORITY: 10-150956 [JP 98150956], JP (Japan), June 01, 1998 (19980601)

INTL CLASS: H01L-021/768; H01L-021/285

ABSTRACT

PROBLEM TO BE SOLVED: To avoid operation failures or degraded yield, even if a wiring layer is formed using Cu.

SOLUTION: A lower part wiring layer 102 is formed at the surface of a semiconductor substrate 101. Then, a SiO film 103, an Si₃N₄ film 104, and an SiO₂ film 105 are sequentially deposited to form a through-hole 106 and a wiring groove 107. Then, a Ti film 108 is deposited by a physical vapor-phase growth method and then a TiN film 109 by a chemical vapor-phase growth method, and the surface of TiN film 109 is exposed to N₂ plasma. Then the surface of the TiN film 109 is exposed to SiH₄, to form a TiSiN film 110. After a Cu film 111 is deposited on the surface of a TiSiN film 110 by a physical vapor-phase growth method, a Cu film 112 is deposited on the surface of the Cu film 111 by an electrolytic plating method. Lastly, the metal film on the SiO₂ film 195 is removed by a chemical-mechanical polishing method.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-58650

(P2000-58650A)

(43)公開日 平成12年2月25日 (2000.2.25)

(51)Int.Cl.
H 01 L 21/768
21/285

識別記号
301

F I
H 01 L 21/90
21/285

マーク (参考)
B
301Z

審査請求 未請求 請求項の数28 OL (全22頁)

(21)出願番号 特願平11-12699

(22)出願日 平成11年1月21日 (1999.1.21)

(31)優先権主張番号 特願平10-150956

(32)優先日 平成10年6月1日 (1998.6.1)

(33)優先権主張国 日本 (JP)

(71)出願人 000005843

松下電子工業株式会社
大阪府高槻市幸町1番1号

(72)発明者 原田 剛史
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100077931

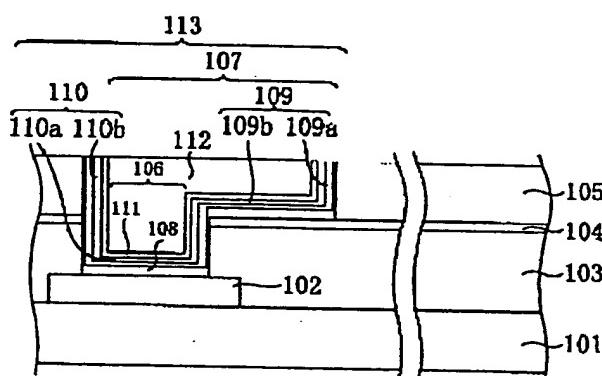
弁理士 前田 弘 (外1名)

(54)【発明の名称】 半導体装置、半導体装置の製造方法、および半導体装置の製造装置

(57)【要約】

【課題】 Cuを使用して配線層を形成した場合でも、動作不良や歩留まりの低下を起こさない。

【解決手段】 半導体基板101の表面に下部配線層102を形成する。次に、SiO₂膜103、Si₃N₄膜104、SiO₂膜105を順に堆積し、スルーホール106および配線溝107を形成する。次に、物理的気層成長法によりTi膜108を、統いて化学的気層成長法によりTiN膜109を堆積し、TiN膜109の表面を、N₂プラズマに暴露する。次に、TiN膜109の表面をSiH₄に暴露し、TiSiN膜110を形成する。次に、TiSiN膜110の表面に物理的気層成長法によりCu膜111を堆積した後に、電解メッキ法によりCu膜111の表面にCu膜112を堆積する。最後に、SiO₂膜105上の金属膜を化学機械的研磨法により除去する。



【特許請求の範囲】

【請求項1】 基板と、

前記基板に支持される第1導電体膜と、
前記第1導電体膜を覆うように前記基板上に形成された
絶縁膜と、

前記絶縁膜に形成された凹部と、

前記絶縁膜の凹部内に形成され、前記第1導電体膜と電
気的に接触する第2導電体膜と、を備えた半導体装置で
あって、

前記第2導電体膜は、前記絶縁膜の凹部の内部に形成さ
れたシリコン含有空化チタン層と、前記シリコン含有空
化チタン層上に形成された金属膜とを有する半導体裝
置。

【請求項2】 基板と、

前記基板に支持される第1導電体膜と、

前記第1導電体膜を覆うように前記基板上に形成された
絶縁膜と、

前記絶縁膜に形成された凹部と、

前記絶縁膜の凹部内に形成され、前記第1導電体膜と電
気的に接触する第2導電体膜と、を備えた半導体装置で
あって、

前記第2導電体膜は、前記絶縁膜の凹部の内部に形成さ
れた空化チタン層と、前記空化チタン層上に形成された
シリコン含有空化チタン層と、前記シリコン含有空化チ
タン層上に形成されたシリコン含有金属層と、前記シリ
コン含有金属層上に形成された金属膜とを有する半導体
装置。

【請求項3】 基板と、

前記基板に支持される第1導電体膜と、

前記第1導電体膜を覆うように前記基板上に形成された
絶縁膜と、

前記絶縁膜に形成された凹部と、

前記絶縁膜の凹部内に形成され、前記第1導電体膜と電
気的に接触する第2導電体膜と、を備えた半導体装置で
あって、

前記第2導電体膜は、

前記絶縁膜の凹部の内部に形成された空化チタン層と、
前記空化チタン層上に形成されたシリコン含有空化チタ
ン層と、前記シリコン含有空化チタン層上に形成された
金属層とを有する半導体装置。

【請求項4】 基板と、

前記基板に支持される第1導電体膜と、

前記第1導電体膜を覆うように前記基板上に形成された
絶縁膜と、

前記絶縁膜に形成された凹部と、

前記絶縁膜の凹部内に形成され、前記第1導電体膜と電
気的に接触する第2導電体膜と、を備えた半導体装置で
あって、

前記第2導電体膜は、

前記絶縁膜の凹部の内部に形成された空化チタン層と、

前記空化チタン層上に形成されたシリコン含有空化チタ
ン層と、前記シリコン含有空化チタン層上に形成された
シリコン含有金属層と、前記シリコン含有金属層上に形
成された金属膜とを有する半導体装置。

【請求項5】 基板と、

前記基板に支持される第1導電体膜と、

前記第1導電体膜を覆うように前記基板上に形成された
絶縁膜と、

前記絶縁膜に形成された凹部と、

前記絶縁膜の凹部内に形成され、前記第1導電体膜と電
気的に接触する第2導電体膜と、を備えた半導体装置で
あって、

前記第2導電体膜は、

前記絶縁膜の凹部の内部に形成されたチタン層と、前記
チタン層上に形成された空化チタン層と、前記空化チタ
ン層上に形成されたシリコン含有空化チタン層と、前記
シリコン含有空化チタン層上に形成されたシリコン含有
金属層と、前記シリコン含有金属層上に形成された金属
膜とを有する半導体装置。

【請求項6】 前記シリコン含有空化チタン層のうち前
記絶縁膜の凹部の底面上に形成された部分の厚さが、前
記シリコン含有空化チタン層のうち前記絶縁膜の凹部の
内側壁上に形成された部分の厚さよりも小さい請求項1
から5の何れかひとつに記載の半導体装置。

【請求項7】 前記シリコン含有空化チタン層のうち前
記絶縁膜の凹部の底面上に形成された部分の抵抗が、前
記シリコン含有空化チタン層のうち前記絶縁膜の凹部的
内側壁上に形成された部分の抵抗よりも小さい請求項1
から5の何れかひとつに記載の半導体装置。

【請求項8】 前記金属層は銅から形成されている請求
項1から7の何れかひとつに記載の半導体装置。

【請求項9】 前記シリコン含有空化チタン層に含まれ
るシリコンの濃度が5原子%以上である請求項1から7
の何れかひとつに記載の半導体装置。

【請求項10】 前記シリコン含有空化チタン層のうち
前記絶縁膜の凹部の内側壁上に形成された部分の厚さ
が、1nm以上かつ50nm以下である請求項1から7
の何れかに記載の半導体装置。

【請求項11】 前記絶縁膜の凹部は、前記第1導電体
膜に達するスルーホールと、前記スルーホールに連結さ
れた配線状溝とを含んでいる請求項1から10の何れか
に記載の半導体装置。

【請求項12】 基板上に第1導電体膜を形成する工程
と、

前記第1導電体膜を覆う絶縁膜を前記基板上に堆積する
工程と、

少なくとも一部が前記第1導電体膜に達する凹部を前記
絶縁膜に形成する工程と、

前記絶縁膜の凹部の内部に第2導電体膜を形成する工程
と、を包含する半導体装置の製造方法であって、

前記第2導電体膜を形成する工程は、
前記絶縁膜の凹部の内側壁および底面を覆うシリコン含有窒化チタン層を化学的気層成長法によって堆積する工程と、
前記シリコン含有窒化チタン層の表面にイオンを照射する工程と、
前記シリコン含有窒化チタン層の表面に金属層を堆積する工程とを含む半導体装置の製造方法。

【請求項13】 基板上に第1導電体膜を形成する工程と、
前記第1導電体膜を覆う絶縁膜を前記基板上に堆積する工程と、
少なくとも一部が前記第1導電体膜に達する凹部を前記絶縁膜に形成する工程と、
前記絶縁膜の凹部の内部に第2導電体膜を形成する工程と、を包含する半導体装置の製造方法であって、
前記第2導電体膜を形成する工程は、
前記絶縁膜の凹部の内側壁および底面を覆うチタン層を堆積する工程と、
前記チタン層の表面にシリコン含有窒化チタン層を化学的気層成長法によって堆積する工程と、
前記シリコン含有窒化チタン層の表面にイオンを照射する工程と、
前記シリコン含有窒化チタン層の表面に金属層を堆積する工程とを含む半導体装置の製造方法。

【請求項14】 前記イオンを照射する工程は、前記シリコン含有窒化チタン層の表面をプラズマに暴露する工程を含む請求項12または13に記載の半導体装置の製造方法。

【請求項15】 前記シリコン含有窒化チタン層を堆積する工程は、前記シリコン含有窒化チタン層の厚さを1nm以上かつ50nm以下にする請求項12から14の何れかひとつに記載の半導体装置の製造方法。

【請求項16】 基板上に第1導電体膜を形成する工程と、

前記第1導電体膜を覆う絶縁膜を前記基板上に堆積する工程と、
少なくとも一部が前記第1導電体膜に達する凹部を前記絶縁膜に形成する工程と、

前記絶縁膜の凹部の内部に第2導電体膜を形成する工程と、を包含する半導体装置の製造方法であって、
前記第2導電体膜を形成する工程は、

前記絶縁膜の凹部の内側壁および底面を覆う窒化チタン層を化学的気層成長法によって堆積する工程と、
前記窒化チタン層の表面にイオンを照射する工程と、

前記窒化チタン層の表面をシリコン化合物に暴露することによってシリコン含有窒化チタン層を形成する工程と、
前記シリコン含有窒化チタン層上に金属層を堆積する工程とを含む半導体装置の製造方法。

【請求項17】 基板上に第1導電体膜を形成する工程と、

前記第1導電体膜を覆う絶縁膜を前記基板上に堆積する工程と、

少くとも一部が前記第1導電体膜に達する凹部を前記絶縁膜に形成する工程と、
前記絶縁膜の凹部の内部に第2導電体膜を形成する工程と、を包含する半導体装置の製造方法であって、
前記第2導電体膜を形成する工程は、

前記絶縁膜の凹部の内側壁および底面を覆う窒化チタン層を化学的気層成長法によって堆積する工程と、

前記窒化チタン層の表面にイオンを照射する工程と、
前記窒化チタン層の表面をシリコン化合物に暴露することによってシリコン含有窒化チタン層を形成する工程と、

前記シリコン含有窒化チタン層の表面にシリコン化合物に暴露することによってシリコン層を形成する工程と、
前記シリコン層の表面に金属層を堆積する工程とを含む半導体装置の製造方法。

【請求項18】 基板上に第1導電体膜を形成する工程と、
前記第1導電体膜を覆う絶縁膜を前記基板上に堆積する工程と、
少くとも一部が前記第1導電体膜に達する凹部を前記絶縁膜に形成する工程と、
前記絶縁膜の凹部の内部に第2導電体膜を形成する工程と、を包含する半導体装置の製造方法であって、
前記第2導電体膜を形成する工程は、

前記絶縁膜の凹部の内側壁および底面を覆うチタン層を堆積する工程と、
前記チタン層の表面に窒化チタン層を化学的気層成長法によって堆積する工程と、

前記窒化チタン層の表面にイオンを照射する工程と、
前記窒化チタン層の表面をシリコン化合物に暴露することによってシリコン含有窒化チタン層を形成する工程と、
前記シリコン含有窒化チタン層の表面にシリコン化合物に暴露することによってシリコン層を形成する工程と、
前記シリコン層の表面に金属層を堆積する工程とを含む半導体装置の製造方法。

【請求項19】 前記イオンを照射する工程は、前記窒化チタン層の表面をプラズマに暴露する工程を含む請求項16から18の何れかひとつに記載の半導体装置の製造方法。

【請求項20】 前記シリコン含有窒化チタン層の表面をシリコン化合物に暴露することによってシリコン層を形成する工程において、前記シリコン含有窒化チタン層の表面を300°C以上に加熱し、かつ、前記シリコン含有窒化チタン層の表面を前記シリコン化合物に暴露する時間を15秒以上に設定することを特徴とする請求項1

7または18に記載の半導体装置の製造方法。

【請求項21】 前記空化チタンを堆積する工程は、前記空化チタン層の厚さを1nm以上かつ50nm以下にする請求項16から20の何れかひとつに記載の半導体装置の製造方法。

【請求項22】 前記金属層を堆積する工程は、気相成長法によって前記シリコン含有空化チタン層の所定領域上に第1の金属層を堆積する工程と、前記第1の金属層上にメッキ法によって第2の金属層を堆積する工程と、を包含する請求項12から21の何れかひとつに記載の半導体装置の製造方法。

【請求項23】 前記第2の金属層が銅であることを特徴とする請求項22に記載の半導体装置の製造方法。

【請求項24】 真空チャンバと、前記真空チャンバの内部に設置されたサセプタと、前記サセプタの内部に設置された加熱機構と、前記真空チャンバの内部に設置された排気口と、前記真空チャンバの内部に設置された導入口と、前記真空チャンバの内部に設置された電極とを有する化学的気相成膜室と、前記サセプタおよび前記電極に接続された電源とを備え。

前記導入口からチタンを含む有機化合物、空素化合物、およびシリコン化合物を導入することができる半導体装置の製造装置。

【請求項25】 前記チタンを含む有機化合物と前記シリコン化合物を同時に前記真空チャンバの内部に導入することができる請求項24記載の半導体装置の製造装置。

【請求項26】 前記化学的気相成膜室に接続されたチタン成膜室を備え、前記化学的気相成膜室と前記チタン堆積室との間が減圧搬送室で連結されていることを特徴とする請求項24に記載の半導体装置の製造装置。

【請求項27】 前記化学的気相成膜室に接続された銅堆積室を備え、前記化学的気相成膜室と前記銅堆積室との間が減圧搬送室で連結されていることを特徴とする請求項24に記載の半導体装置の製造装置。

【請求項28】 前記化学的気相成膜室に接続されたチタン堆積室と銅堆積室とを備え、前記化学的気相成膜室と前記チタン堆積室と前記銅堆積室との間が減圧搬送室で連結されていることを特徴とする請求項24に記載の半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置、半導体装置の製造方法、半導体装置の製造装置に関するものである。

【0002】

【従来の技術】 半導体装置の高集積化に伴い、隣接する配線層の間隔は縮小され、配線層間の容量増大が無視できなくなっている。配線層間容量が増大すると、配線遲

延によって半導体装置の動作速度低下する。これを防ぐために、銅(Cu)を使用して低抵抗の配線層を形成する技術が近年盛んに検討されている。図25から図30を参照しながら、Cuを使用して配線層を形成した半導体装置の従来技術を説明する。

【0003】 図30に示すように、この半導体装置は、半導体基板1と、半導体基板1の表面に形成された下部配線層2と、下部配線層2を覆うように半導体基板1上に堆積された二酸化ケイ素(SiO₂)膜3とを備えている。SiO₂膜3上には四空化三ケイ素(Si₃N₄)膜4が堆積されており、Si₃N₄膜4上にはSiO₂膜5が堆積されている。SiO₂膜3、Si₃N₄膜4およびSiO₂膜5によって層間絶縁膜が形成されている。この層間絶縁膜には、下部配線層2に達するスルーホール6と、スルーホール6に連結する溝状凹部(配線溝)7とが形成されており、配線溝7内にはスルーホール6を介して下部配線層に電気的に接触する上部配線層13が設けられている。

【0004】 上部配線層13は、スルーホール6および配線溝7の内側面および底面を覆うようチタン(Ti)膜8と、Ti膜8上に堆積された空化チタン(TiN)膜9と、TiN膜9上に堆積されたCu膜10と、Cu膜10上に堆積されたCu膜11とを含んでいる。

【0005】 このような半導体装置の製造方法は以下の通りである。

【0006】 まず、図25に示すように、半導体基板1上に下部配線層2を形成する。次に、図26に示すように、SiO₂膜3、Si₃N₄膜4、SiO₂膜5を順に堆積した後に、リソグラフィー法およびドライエッティング法を2回ずつ交互に適用することによって、SiO₂膜3およびSi₃N₄膜4の内部にスルーホール6を、SiO₂膜5の内部に配線溝7を形成する。次に、図27に示すように、ドライエッティング法によりスルーホール6の底部のクリーニングを行なった後に、物理的気層成長法によりTi膜8を堆積し、続いて化学的気層成長法によりTiN膜9を堆積する。

【0007】 次に、図28に示すように、TiN膜9の表面をN₂プラズマに暴露し、TiN膜9の密度を向上させる。この後、図26に示すように、TiN膜9の表面に物理的気層成長法によりCu膜10を堆積する。ただし、Cu膜10の堆積は半導体基板1の中央部のみとする。この理由については後述する。

【0008】 TiN膜9およびCu膜10の表面を硫酸(H₂SO₄)で洗浄してから、電解メッキ法によりCu膜10の表面にCu膜11を堆積する。最後に、SiO₂膜5上のTi膜8、TiN膜9、Cu膜10、およびCu膜11を化学機械的研磨(CMP)法により除去することにより、図30のような半導体装置を作製する。

【0009】 Cu膜10の堆積を半導体基板1の中央部のみに限定する理由を説明する。一般的に、化学機械的

研磨により金属層を除去できるのは半導体基板1の中央部のみであり、半導体基板1の周辺部では研磨後にも金属層が残る。半導体基板1の周辺部でCu膜が残ると、以後の工程でこのCu膜が剥離して、半導体装置の製造装置を汚染する。そこで、Cu膜の堆積を半導体基板1の中央部のみに制限することによって、半導体基板1の周辺部でCu膜の残りが発生しないようにする方法が広く使用されている。

【0010】

【発明が解決しようとする課題】以上のような方法で半導体装置を製造すると、以下のような問題が発生する。

【0011】まず、TiN膜9は、Cu膜10およびCu膜11に含まれるCu原子の拡散を防止する能力が十分でないために、TiN膜9を通じてCu原子がSiO₂膜3およびSiO₂膜5に到達するという問題がある。SiO₂膜3およびSiO₂膜5に到達したCu原子は、SiO₂膜3およびSiO₂膜5の内部で可動イオンを形成し、スルーホール6の間および上部配線層13の間のリーク電流を増大させる。これは、半導体装置の動作不良の原因となる。

【0012】また、図29に示すように、電解メッキ法によるCu膜11の堆積の際に、Cu膜10に隣接するTiN膜9の表面にもCu膜12が堆積されるという問題がある。Cu膜12は、下地であるTiN膜9との密着性に乏しく、化学機械的研磨の際に容易に剥離して、半導体装置の歩留まりを著しく低下させる。

【0013】本発明は、上記問題に鑑みてなされたものであり、その目的は、Cuを使用して配線層を形成した場合でも動作不良や歩留まりの低下を起こさない半導体装置、半導体装置の製造方法、および半導体装置の製造装置を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明による半導体装置は、基板と、前記基板に支持される第1導電体膜と、前記第1導電体膜を覆うように前記基板上に形成された絶縁膜と、前記絶縁膜に形成された凹部と、前記絶縁膜の凹部内に形成され、前記第1導電体膜と電気的に接触する第2導電体膜とを備えた半導体装置であって、前記第2導電体膜は、前記絶縁膜の凹部の内部に形成されたシリコン含有窒化チタン層と、前記シリコン含有窒化チタン層上に形成された金属膜とを有する。

【0015】本発明による他の半導体装置は、基板と、前記基板に支持される第1導電体膜と、前記第1導電体膜を覆うように前記基板上に形成された絶縁膜と、前記絶縁膜に形成された凹部と、前記絶縁膜の凹部内に形成され、前記第1導電体膜と電気的に接触する第2導電体膜とを備えた半導体装置であって、前記第2導電体膜は、前記絶縁膜の凹部の内部に形成された窒化チタン層と、前記窒化チタン層上に形成されたシリコン含有窒化チタン層と、前記シリコン含有窒化チタン層上に形成さ

れたシリコン含有金属層と、前記シリコン含有金属層上に形成された金属膜とを有する。

【0016】本発明による更に他の半導体装置は、基板と、前記基板に支持される第1導電体膜と、前記第1導電体膜を覆うように前記基板上に形成された絶縁膜と、前記絶縁膜に形成された凹部と、前記絶縁膜の凹部内に形成され、前記第1導電体膜と電気的に接触する第2導電体膜とを備えた半導体装置であって、前記第2導電体膜は、前記絶縁膜の凹部の内部に形成された窒化チタン層と、前記窒化チタン層上に形成されたシリコン含有窒化チタン層と、前記シリコン含有窒化チタン層上に形成された金属層とを有する。

【0017】本発明による更に他の半導体装置は、基板と、前記基板に支持される第1導電体膜と、前記第1導電体膜を覆うように前記基板上に形成された絶縁膜と、前記絶縁膜に形成された凹部と、前記絶縁膜の凹部内に形成され、前記第1導電体膜と電気的に接触する第2導電体膜とを備えた半導体装置であって、前記第2導電体膜は、前記絶縁膜の凹部の内部に形成された窒化チタン層と、前記窒化チタン層上に形成されたシリコン含有窒化チタン層と、前記シリコン含有窒化チタン層上に形成されたシリコン含有金属層と、前記シリコン含有金属層上に形成された金属膜とを有する。

【0018】本発明による更に他の半導体装置は、基板と、前記基板に支持される第1導電体膜と、前記第1導電体膜を覆うように前記基板上に形成された絶縁膜と、前記絶縁膜に形成された凹部と、前記絶縁膜の凹部内に形成され、前記第1導電体膜と電気的に接触する第2導電体膜とを備えた半導体装置であって、前記第2導電体膜は、前記絶縁膜の凹部の内部に形成された窒化チタン層と、前記窒化チタン層上に形成されたシリコン含有窒化チタン層と、前記シリコン含有窒化チタン層上に形成されたシリコン含有金属層と、前記シリコン含有金属層上に形成された金属膜とを有する。

【0019】好ましい実施形態では、前記シリコン含有窒化チタン層のうち前記絶縁膜の凹部の底面上に形成された部分の厚さが、前記シリコン含有窒化チタン層のうち前記絶縁膜の凹部の内側壁上に形成された部分の厚さよりも小さい。

【0020】好ましい実施形態では、前記シリコン含有窒化チタン層のうち前記絶縁膜の凹部の底面上に形成された部分の抵抗が、前記シリコン含有窒化チタン層のうち前記絶縁膜の凹部の内側壁上に形成された部分の抵抗よりも小さい。

【0021】好ましい実施形態では、前記金属層は銅から形成されている。

【0022】好ましい実施形態では、前記シリコン含有窒化チタン層に含まれるシリコンの濃度が5原子%以上である。

【0023】好ましい実施形態では、前記シリコン含有空化チタン層のうち前記絶縁膜の凹部の内側壁上に形成された部分の厚さが、1nm以上かつ50nm以下である。

【0024】好ましい実施形態では、前記絶縁膜の凹部は、前記第1導電体膜に達するスルーホールと、前記スルーホールに連結された配線状溝とを含んでいる。

【0025】本発明による半導体装置の製造方法は、基板上に第1導電体膜を形成する工程と、前記第1導電体膜を覆う絶縁膜を前記基板上に堆積する工程と、少なくとも一部が前記第1導電体膜に達する凹部を前記絶縁膜に形成する工程と、前記絶縁膜の凹部の内部に第2導電体膜を形成する工程とを包含する半導体装置の製造方法であって、前記第2導電体膜を形成する工程は、前記絶縁膜の凹部の内側壁および底面を覆うシリコン含有空化チタン層を化学的気層成長法によって堆積する工程と、前記シリコン含有空化チタン層の表面にイオンを照射する工程と、前記シリコン含有空化チタン層の表面に金属層を堆積する工程とを含む。

【0026】本発明による他の半導体装置の製造方法は、基板上に第1導電体膜を形成する工程と、前記第1導電体膜を覆う絶縁膜を前記基板上に堆積する工程と、少なくとも一部が前記第1導電体膜に達する凹部を前記絶縁膜に形成する工程と、前記絶縁膜の凹部の内部に第2導電体膜を形成する工程とを包含する半導体装置の製造方法であって、前記第2導電体膜を形成する工程は、前記絶縁膜の凹部の内側壁および底面を覆うチタン層を堆積する工程と、前記チタン層の表面にシリコン含有空化チタン層を化学的気層成長法によって堆積する工程と、前記シリコン含有空化チタン層の表面にイオンを照射する工程と、前記シリコン含有空化チタン層の表面に金属層を堆積する工程とを含む。

【0027】好ましい実施形態では、前記イオンを照射する工程は、前記シリコン含有空化チタン層の表面をプラズマに暴露する工程を含む。

【0028】前記シリコン含有空化チタン層を堆積する工程は、テトラキシメチルチタン、テトラキシエチルチタン、およびテトラキスエチルメチルチタンのいずれかを材料として使用することができる。

【0029】前記シリコン含有空化チタン層を堆積する工程は、シラン、ジシラン、およびトリシランのいずれかを材料として使用することができる。

【0030】前記シリコン含有空化チタン層の表面をプラズマに暴露する工程は、空素、アンモニア、およびヒドログンのいずれかを使用することができる。

【0031】好ましい実施形態において、前記シリコン含有空化チタン層を堆積する工程は、前記シリコン含有空化チタン層の厚さを1nm以上かつ50nm以下にする。

【0032】本発明による他の半導体装置の製造方法

は、基板上に第1導電体膜を形成する工程と、前記第1導電体膜を覆う絶縁膜を前記基板上に堆積する工程と、少なくとも一部が前記第1導電体膜に達する凹部を前記絶縁膜に形成する工程と、前記絶縁膜の凹部の内部に第2導電体膜を形成する工程とを包含する半導体装置の製造方法であって、前記第2導電体膜を形成する工程は、前記絶縁膜の凹部の内側壁および底面を覆う空化チタン層を化学的気層成長法によって堆積する工程と、前記空化チタン層の表面にイオンを照射する工程と、前記空化チタン層の表面をシリコン化合物に暴露することによってシリコン含有空化チタン層を形成する工程と、前記シリコン含有空化チタン層上に金属層を堆積する工程とを含む。

【0033】本発明による更に他の半導体装置の製造方法は、基板上に第1導電体膜を形成する工程と、前記第1導電体膜を覆う絶縁膜を前記基板上に堆積する工程と、少なくとも一部が前記第1導電体膜に達する凹部を前記絶縁膜に形成する工程と、前記絶縁膜の凹部の内部に第2導電体膜を形成する工程とを包含する半導体装置の製造方法であって、前記第2導電体膜を形成する工程は、前記絶縁膜の凹部の内側壁および底面を覆う空化チタン層を化学的気層成長法によって堆積する工程と、前記空化チタン層の表面にイオンを照射する工程と、前記空化チタン層の表面をシリコン化合物に暴露することによってシリコン含有空化チタン層を形成する工程と、前記シリコン含有空化チタン層の表面にシリコン化合物に暴露することによってシリコン層を形成する工程と、前記シリコン層の表面に金属層を堆積する工程とを含む。

【0034】本発明による更に他の半導体装置の製造方法は、基板上に第1導電体膜を形成する工程と、前記第1導電体膜を覆う絶縁膜を前記基板上に堆積する工程と、少なくとも一部が前記第1導電体膜に達する凹部を前記絶縁膜に形成する工程と、前記絶縁膜の凹部の内部に第2導電体膜を形成する工程とを包含する半導体装置の製造方法であって、前記第2導電体膜を形成する工程は、前記絶縁膜の凹部の内側壁および底面を覆うチタン層を堆積する工程と、前記チタン層の表面に空化チタン層を化学的気層成長法によって堆積する工程と、前記空化チタン層の表面にイオンを照射する工程と、前記空化チタン層の表面をシリコン化合物に暴露することによってシリコン含有空化チタン層を形成する工程と、前記シリコン含有空化チタン層の表面にシリコン化合物に暴露することによってシリコン層を形成する工程と、前記シリコン層の表面に金属層を堆積する工程とを含む。

【0035】好ましい実施形態においては、前記イオンを照射する工程は、前記空化チタン層の表面をプラズマに暴露する工程を含む。

【0036】前記空化チタン層を堆積する工程は、テトラキシメチルチタン、テトラキシエチルチタン、およびテトラキスエチルメチルチタンのいずれかを材料と

して使用することができる。

【0037】前記シリコン含有空化チタン層を形成する工程は、前記シリコン化合物としてシラン、ジシラン、およびトリシランのいずれかを材料として使用することができる。

【0038】前記空化チタン層をプラズマに暴露する工程は、窒素、アンモニア、およびヒドラジンのいずれかを材料として使用することができる。

【0039】好ましい実施形態では、前記シリコン含有空化チタン層の表面をシリコン化合物に暴露することによってシリコン層を形成する工程において、前記シリコン含有空化チタン層の表面を300℃以上に加熱し、かつ、前記シリコン含有空化チタン層の表面を前記シリコン化合物に暴露する時間を15秒以上に設定する。

【0040】好ましい実施形態においては、前記空化チタンを堆積する工程は、前記空化チタン層の厚さを1nm以上かつ50nm以下にする。

【0041】好ましい実施形態においては、前記金属層を堆積する工程は、気相成長法によって前記シリコン含有空化チタン層の所定領域上に第1の金属層を堆積する工程と、前記第1の金属層上にメッキ法によって第2の金属層を堆積する工程とを包含する。

【0042】好ましい実施形態では、前記第2の金属層が銅である。

【0043】本発明による半導体装置の製造装置は、真空チャンバと、前記真空チャンバの内部に設置されたサセプタと、前記サセプタの内部に設置された加熱機構と、前記真空チャンバの内部に設置された排気口と、前記真空チャンバの内部に設置された導入口と、前記真空チャンバの内部に設置された電極とを有する化学的気相成膜室と、前記サセプタおよび前記電極に接続された電源とを備え、前記導入口からチタンを含む有機化合物、空素化合物、およびシリコン化合物を導入することができる。

【0044】好ましい実施形態では、前記チタンを含む有機化合物と前記シリコン化合物を同時に前記真空チャンバの内部に導入することができるよう構成されている。

【0045】好ましい実施形態では、前記チタンを含む有機化合物としてテトラキスジメチルチタン、テトラキスジエチルチタン、およびテトラキスエチルメチルチタンのいずれかを使用することができる。

【0046】好ましい実施形態では、前記空素化合物として窒素、アンモニア、およびヒドラジンのいずれかを使用することができる。

【0047】好ましい実施形態では、前記シリコン化合物としてシラン、ジシラン、およびトリシランのいずれかを使用することができる。

【0048】好ましい実施形態では、前記化学的気相成膜室に接続されたチタン堆積室を備え、前記化学的気相

成膜室と前記チタン堆積室との間が減圧搬送室で連結されている。

【0049】好ましい実施形態では、前記化学的気相成膜室に接続された銅堆積室を備え、前記化学的気相成膜室と前記銅堆積室との間が減圧搬送室で連結されている。

【0050】好ましい実施形態では、前記化学的気相成膜室に接続されたチタン成膜室と銅堆積室とを備え、前記化学的気相成膜室と前記チタン堆積室と前記銅堆積室との間が減圧搬送室で連結されている。

【0051】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0052】(実施形態1) 図1~7を参照しながら、本発明の第1の実施形態を説明する。

【0053】本実施形態の半導体装置は、図7に示すように、不図示のトランジスタなどの集積回路素子が形成された半導体基板(単結晶シリコン基板)101と、半導体基板101の表面に形成された下部配線層(第1導電体膜)102と、下部配線層102を覆うように半導体基板101上に堆積された二酸化ケイ素(SiO₂)膜103とを備えている。本願明細書では、「半導体基板101」は、単結晶シリコン基板、その表面に形成されたトランジスタ等の集積回路素子、および集積回路素子を覆うように単結晶シリコン基板の表面に形成された絶縁膜などからなる構造を一括して表現している。下部配線層102は、タンゲステン(W)、アルミニウム(A1)、銅(Cu)などの導電性材料を用いて形成されている。

【0054】SiO₂膜103上には四塗化三ケイ素(Si₃N₄)膜104が堆積されており、Si₃N₄膜104上にはSiO₂膜5が堆積されている。SiO₂膜103、Si₃N₄膜104およびSiO₂膜105によって層間絶縁膜が形成されている。この層間絶縁膜には、表面に凹部が形成されている。凹部は、下部配線層102に達するスルーホール106と、スルーホール106に連結する溝状凹部(配線溝)107とから形成されており、配線溝107内にはスルーホール106を介して下部配線層102に電気的に接触する上部配線層113が設けられている。配線溝107の溝幅は、例えば約100~2000nmであり、深さは例えば約100~1000nmである。また、本実施形態では、スルーホール106の内径を配線溝107の溝幅に等しく設定している。複数のスルーホール106が、例えば、0.1~2μm程度の間隔をおいて、各配線溝107内に形成される。

【0055】上部配線層113は、スルーホール106および配線溝107の内側面および底面を覆うようチタン(Ti)膜108と、Ti膜108上に堆積された空化チタン(TiN)膜109と、TiN膜109上に形

成されたシリコン(Si)を含むTiN(TiSiN)膜110、TiSiN膜110の表面に堆積されたCu膜111、Cu膜111上に堆積されたCu膜112とを含んでいる。

【0056】TiN膜109は、スルーホール106および配線溝107の内側壁上に形成された垂直部分(半導体基板101に実質的に垂直な面上に形成された部分)109aと、スルーホール106および配線溝107の底面上に形成された水平部分(半導体基板101に実質的に平行な面上に形成された部分)109bとに、必要に応じて区別する。同様に、TiSiN膜110も、スルーホール106および配線溝107の内側壁上に形成された垂直部分(半導体基板101に実質的に垂直な面上に形成された部分)110aと、スルーホール106および配線溝107の底面上に形成された水平部分(半導体基板101に実質的に平行な面上に形成された部分)110bとに、必要に応じて区別する。

【0057】なお、下層配線層は第1層レベル配線に限定されず、N層レベル配線(Nは3以上の整数)のうちの第i層レベル(iは1≤i<Nの整数)であれば良い。このとき、上層配線は第j層レベル(jはi<j≤Nの整数)であればよい。

【0058】以上のような構成とすることにより、従来の技術と比較してスルーホール106の間および上部配線層113の間のリーク電流を低下させることができる。その理由は以下の通りである。

【0059】本実施形態においては、配線溝107の側壁は、TiSiN膜110により被覆されている。TiSiN膜に含まれるSiは、Si-Nという結合形態をとっている。Si-N結合とCu原子の反応性は極めて低いので、Si-N結合を含むTiSiN膜は、TiN膜よりもCu原子の拡散を防止する能力が高くなる。そのため、Cu膜111およびCu膜112を構成するCu原子がSiO₂膜103およびSiO₂膜105に到達しにくくなり、SiO₂膜103およびSiO₂膜105に含まれるCu原子の濃度が増加しないので、スルーホール106の間および上部配線層113の間のリーク電流を従来の技術と比較して低下させることができる。

【0060】ここで、TiSiN膜110aに含まれるSiの濃度について説明する。TiSiN膜110aに含まれるSiの濃度が5原子%より小さくなると、Cu膜111から供給されるCu原子の拡散を防止する性能が低下し、スルーホール106の間および上部配線層113の間のリーク電流が増大する。以上の理由から、TiSiN膜110aに含まれるSiの濃度は、5原子%以上に設定するのが望ましい。

【0061】次に、TiSiN膜110aの厚さについて説明する。TiSiN膜110aの厚さが1nmより小さくなると、Cu膜111から供給されるCu原子の拡散を防止する性能が低下し、スルーホール106の間

および上部配線層113の間のリーク電流が増大する。一方、TiSiN膜110aの厚さが50nmより大きくなると、上部配線層113の断面積をCu膜111およびCu膜112の断面積が占める割合が低下するため、上部配線層113の配線抵抗が増大し、半導体装置の動作速度を低下させる。以上の理由から、TiSiN膜110aの厚さは、1nm以上かつ50nm以下に設定するのが望ましい。

【0062】次に、TiSiN膜110bの厚さについて説明する。TiSiN膜の抵抗率(3000μΩcm程度)は、TiN膜の抵抗率(200μΩcm程度)よりも高い。このため、TiSiN膜110bの厚さを大きくしすぎると、下部配線層102と上部配線層113の間の接続抵抗が高くなり、半導体装置の動作速度を低下させる。以上の理由から、TiSiN膜110bの厚さは、TiSiN膜110aの厚さよりも薄くするのが望ましい。

【0063】本実施形態における半導体装置の製造方法は以下の通りである。

【0064】まず、図1に示すように、不図示のトランジスタなどの集積回路素子が形成された半導体基板101を用意し、半導体基板101上に下部配線層102を形成する。下部配線層102の形成は、例えば、スペッタリング法によりAl膜を半導体基板101の表面に堆積した後、リソグラフィー法およびドライエッチング法により所定の形状に加工することにより行なう。

【0065】次に、図2に示すように、プラズマ励起方式の化学的気層成長法によりSiO₂膜(膜厚:約100~2000nm)103、Si₃N₄膜(膜厚:約5~50nm)104、SiO₂膜(膜厚:約100~1000nm)105を順に堆積した後に、リソグラフィー法およびドライエッチング法を2回ずつ交互に適用することによって、SiO₂膜103およびSi₃N₄膜104の内部にスルーホール106を、SiO₂膜105の内部に配線溝107を形成する。

【0066】次に、図3に示すように、アルゴン(Ar)や水素(H₂)などを用いたドライエッチング法によりスルーホール106の底面のクリーニングを行なった後に、物理的気層成長法によりTi膜(膜厚:約0.5~10nm)108を堆積し、続いて化学的気層成長法により厚さ20nmのTiN膜109を堆積する。化学的気層成長法によるTiN膜109の堆積は次のようにして行なう。Ti膜108の堆積が済んだ半導体基板101を真空チャンバ内で350℃に加熱する。半導体基板101が定常温度に到達したら、真空チャンバの内部にヘリウム(He)で希釈したテトラキシメチルチタン(TDMAT)を導入する。この際、真空チャンバの内部におけるTDMATの分圧が3Paとなるように、TDMATの導入量を調整する。導入されたTDMATはTi膜108の表面で熱分解反応を起こし、Ti

N膜109が堆積される。

【0067】次に、図4に示すように、TiN膜109の表面を、窒素(N₂)プラズマに暴露する。プラズマの内部にはN₂イオンなどの陽イオンが含まれている。これらの陽イオンが半導体基板101に向かって垂直方向に加速されるように、プラズマの発生条件を調節する。これにより、半導体基板101に平行な面上に堆積されたTiN膜109bは、陽イオンの衝撃を受けるために、緻密化し、その密度が向上する。一方、半導体基板101にほぼ垂直な面上に堆積されたTiN膜109aは、陽イオンの衝撃を受けないために、その密度が向上しない。プラズマ暴露は、たとえば、平行平板型プラズマ生成装置等を用い、そのチャンバー内でN₂ガスの圧力を約10～1000Pa程度に設定し、200～2000Wの電力を与えることによって形成したプラズマを用いることができる。

【0068】次に、図5に示すように、TiN膜109の表面を、シラン(SiH₄)に暴露する。この処理は、N₂プラズマへの暴露が終了した半導体基板101を真空チャンバ内で加熱し、真空チャンバの内部にSiH₄を導入することにより行なう。この際、真空チャンバ内のSiH₄の分圧が3Paとなるように、SiH₄の導入量を調節する。これにより、TiN膜109aの表面にはTiSiN膜110aが、TiN膜109bの表面にはTiSiN膜110bが形成されるが、後に詳しく説明するように、TiSiN膜110bの厚さはTiSiN膜110aの厚さよりも小さくなる。

【0069】次に、図6に示すように、TiSiN膜110の表面に物理的気層成長法によりCu膜(膜厚：約5～200nm)111を堆積する。ただし、Cu膜111の堆積は半導体基板101の中央部のみとする。Cu膜111を堆積した後に、TiSiN膜110bおよびCu膜111の表面を硫酸(H₂SO₄)で洗浄してから、電解メッキ法によりCu膜111の表面にCu膜(膜厚：約100～1000nm)112を堆積する。この際、TiSiN膜110bの表面ではCu膜は成長しない。この理由については後に詳しく説明する。

【0070】最後に、SiO₂膜105上のTi膜108、TiN膜109、TiSiN膜110b、Cu膜111およびCu膜112を化学機械的研磨法により除去することにより、図7に示す半導体装置が作製される。この後、更に上層の配線を形成するための工程が適宜実行される。

【0071】次に、SiH₄暴露によりTiN膜109aの表面にTiSiN膜110aが形成される反応を説明する。

【0072】図8、図9(a)および(b)ならびに図10(a)および(b)は、この反応の様子をX線光電子分光法(XPS)により分析した結果を示す。図8はTiN膜109aに含まれるSi原子の濃度を表面から

の深さの関数として表示している。図8から明らかなように、SiH₄への暴露を行なった場合には、TiN膜109aには多量のSiが含まれている。Si原子の濃度が連続的に変化しているために厚さの定義は困難であるが、便宜上Si濃度が5原子%以上となる部分をTiSiN膜と呼ぶことにして、SiH₄への暴露により厚さ10nmのTiSiN膜110aが形成されることになる。

【0073】図9(a)および図9(b)は、それぞれ、SiH₄暴露を受けることによって形成されたTiSiN膜110a、およびSiH₄暴露を受けていないTiN膜109aに含まれるTi原子XPSのスペクトル(Ti2p)を示している。図10(a)および図10(b)は、それぞれ、SiH₄暴露を受けることによって形成されたTiSiN膜110a、およびSiH₄暴露を受けていないTiN膜109aに含まれるSi原子XPSのスペクトル(Si2p)を示している。

【0074】図10(a)から明らかなように、SiH₄暴露により形成されたTiSiN膜110aの表面および内部には、Si-N結合の存在が認められる。SiH₄暴露なしの場合、Si-N結合は観測されてない(図10(b))。Si-N結合はTi-N結合と比較してCuに対する反応性が低いので、Si-N結合を含むTiSiN膜は、TiN膜と比較してCu原子の拡散を防ぐ能力が向上する。なお、図10(a)および(b)から、SiH₄暴露によってTi-O結合が減少することがわかる。

【0075】TiN膜109bの表面でも同様の反応が起こる。この反応の様子をXPSにより評価した結果を図11、図12(a)および(b)ならびに図13(a)および(b)に示す。図11はSiH₄暴露を受けたTiN膜109bに含まれるSi原子の濃度を表面からの深さの関数として表示したものである。図11から明らかなように、SiH₄暴露を行なった場合には、TiN膜109bには多量のSiが含まれている。しかしながら、TiN膜109aの場合と異なっているのは、Si原子の濃度は表面からの深さとともに急激に低下するという点である。すでに述べたような定義に従えば、SiH₄暴露により形成されるTiSiN膜110bの厚さは4nmであり、TiN膜109aの場合と比較して40%の値となっている。これは、N₂プラズマへの暴露により、TiN膜109bの密度が向上していることに起因する。

【0076】図12(a)および図12(b)は、それぞれ、SiH₄暴露を受けることによって形成されたTiSiN膜110b、およびSiH₄暴露を受けないないTiN膜109bに含まれるTi原子XPSのスペクトル(Ti2p)を示している。図13(a)および図13(b)は、それぞれ、SiH₄暴露を受けることによって形成されたTiSiN膜110b、およびSiH

SiH_4 曝露を受けていないTiN膜109bに含まれるSi原子XPSのスペクトル(Si2p)を示している。

【0077】図12(b)から明らかのように、 SiH_4 曝露を受けていないTiN膜109bの表面ではTi-O結合が支配的な結合となっている。これは、大気中の酸素との反応によりTiN膜109bの表面に酸化チタン(TiO_2)が形成されるためである。一方、 SiH_4 曝露により形成されたTiSiN膜110bの表面では、Si-N結合が支配的な結合となっており(図13(a))、Ti-N結合の存在も認められる。

【0078】次に、電解メッキの際、TiSiN膜110bの表面ではCu膜の成長が起こらない理由を説明する。

【0079】図12(b)が示すように、 SiH_4 曝露を受けていないTiN膜109bの表面には TiO_2 が形成されている。しかしながら、この TiO_2 は電解メッキの前に行なう H_2SO_4 洗浄によって完全に除去されるので、電解メッキの際にはTiNとメッキ液が接触することになる。TiNは良好な電子伝導体であり、メッキ液に含まれるCuイオンに容易に電子を供与することができるので、結果としてTiN膜109bの表面にはCu膜の異常成長が発生する。一方、 SiH_4 曝露により形成されたTiSiN膜110bの表面ではSi-N結合が支配的な結合となっている。 Si_3N_4 が H_2SO_4 に不溶なことから明らかのように、Si-N結合は H_2SO_4 に対する反応性が極めて低いので、TiSiN膜110bが H_2SO_4 洗浄により除去されることはない。また、Si-N結合はいわゆる共有結合であり、結合を形成する価電子は内核により強く束縛されているので、この価電子がCuイオンの還元反応に関与することはない。すなわち、TiSiN膜110bの表面のからは、メッキ液に含まれるCuイオンに電子を供与することができないので、Cu膜の異常成長は発生しない。

【0080】ここで、TiN膜109を堆積する際のTiN膜109の厚さについて説明する。TiN膜109の厚さが1nm以下になると、 SiH_4 曝露を行なっても十分な厚さのTiSiN膜110が形成されないために、Cu原子の拡散を防止する性能が低下し、スルーホール106の間および上部配線層113の間のリーク電流が増大する。一方、TiN膜109の厚さが50nm以上になると、上部配線層113の断面積をCu膜111およびCu膜112の断面積が占める割合が低下するために、上部配線層113の配線抵抗が増大し、半導体装置の動作速度を低下させる。以上の理由から、TiN膜109を堆積する際のTiN膜109の厚さは、1nm以上かつ50nm以下に設定するのが望ましい。

【0081】次に、TiSiN膜110を形成する際の半導体基板101の温度の設定方法を説明する。半導体基板101の温度が300°Cよりも低くなると、TiN膜109と SiH_4 からTiSiN膜110が形成され

反応の速度が低下するために、TiSiN膜110の形成に要する時間が著しく長くなる。一方、半導体基板101の温度が500°Cよりも高くなると、下部配線層102、 SiO_2 膜103、および SiO_2 膜105の変質などが発生する。以上の理由から、TiSiN膜110を形成する際の半導体基板101の温度は、300°C以上かつ500°C以下に設定するのが望ましい。

【0082】次に、TiSiN膜110を形成する際の SiH_4 の分圧の設定方法について説明する。 SiH_4 の分圧が1Paより低くなると、TiN膜109と SiH_4 からTiSiN膜110が形成される反応の速度が低下するために、TiSiN膜110の形成に要する時間が著しく長くなる。以上の理由から、TiSiN膜110を形成する際の SiH_4 の分圧は、1Pa以上に設定するのが望ましい。

【0083】以下、図14を参照しながら、上記半導体装置の製造に使用する装置を説明する。この装置は、真空チャンバ114と、真空チャンバ114の内部に設置されたサセプタ115と、サセプタ115の内部に設置された加熱機構116と、真空チャンバ114に設置された排気口117、真空チャンバ114に設置されたTDMAT導入口118と、真空チャンバ114に設置された N_2 導入口119と、真空チャンバ114に設置された SiH_4 導入口120、真空チャンバ114の内部においてサセプタ115と対向して設置された上部電極121と、セプタ115および上部電極121に接続された高周波電源122とを備えている。

【0084】この半導体装置の製造装置の動作は以下の通りである。

【0085】まず、真空チャンバ114の内部を大気開放し、Ti膜108の堆積が済んだ半導体基板101をサセプタ115の上に設置した後に、排気口117を通じて真空チャンバ114の内部を排氣する。排気が完了したら、加熱機構116を作動させ、サセプタ115を通じて半導体基板101を加熱する。半導体基板101の温度の定常温度が350°Cになるように、加熱機構116の出力を調節する。半導体基板101の温度が定常温度に到達したら、TDMAT導入口118からHeで希釈したTDMATを導入する。これによりTi膜108の表面でTDMATが熱分解反応を起こし、TiN膜109が堆積される。所定の時間が経過したら、TDMAT導入口118からのTDMATの導入を停止し、代わって N_2 導入口119から N_2 を真空チャンバ114の内部に導入する。真空チャンバ114の内部で N_2 の分圧が安定したら、高周波電源122からサセプタ115および上部電極121に電力を供給し、真空チャンバ114の内部で N_2 プラズマを発生させる。これにより、半導体基板101に平行な平面上に堆積されたTiN膜109aは、陽イオンの衝撃を受けるために、その密度が向上する。所定の時間が経過したら、高周波電源122

2を停止させ、N₂導入口119からのN₂の導入を停止する。次に、SiH₄導入口120からSiH₄を導入する。これによりTiN膜109の表面にTiSiN膜110が形成される。最後に、加熱機構116の動作を停止させ、真空チャンバ114を大気開放した後に、半導体基板101を排出する。

【0086】(実施形態2) 図15から図20を参照しながら、本発明による半導体装置の第2の実施形態を説明する。図15から図20では、図1から図7に示した構成と同一の構成要素には同一の符号を付け、その構成要素の詳細な説明を省略する。

【0087】本半導体装置は、図20に示されるように、不図示のトランジスタなどの集積回路素子が形成された半導体基板101と、半導体基板101の表面に形成された下部配線層102と、下部配線層102を覆うように半導体基板101上に堆積されたSiO₂膜103とを備えている。

【0088】SiO₂膜103上にはSi₃N₄膜104が堆積されており、Si₃N₄膜104上にはSiO₂膜5が堆積されている。SiO₂膜103、Si₃N₄膜104およびSiO₂膜105によって層間絶縁膜が形成されている。この層間絶縁膜には、下部配線層102に達するスルーホール106と、スルーホール106に連結する配線溝107とが形成されており、配線溝107内にはスルーホール106を介して下部配線層102に電気的に接触する上部配線層113が設けられている。上部配線層113は、スルーホール106および配線溝107の内側面および底面を覆うようチタン(Ti)膜108と、Ti膜108上に堆積されたTiSiN膜123と、TiSiN膜123上に堆積されたCu膜111、Cu膜111上に堆積されたCu膜112とを含んでいる。

【0089】TiSiN膜123は、スルーホール106および配線溝107の内側壁上に形成された垂直部分(半導体基板101に実質的に垂直な面上に形成された部分)123aと、スルーホール106および配線溝107の底面上に形成された水平部分(半導体基板101に実質的に平行な面上に形成され部分)123bとに、必要に応じて区別する。

【0090】本実施形態の構成が、第1の実施形態の構成と異なるのは、図19に示すように、Ti膜108とTiSiN膜123の間にTiN膜が介在していないという点にある。すでに述べたように、TiSiN膜はTiN膜よりもCu原子の拡散を防止する能力が高いので、本実施形態のような構成とすることにより、スルーホール106の間および上部配線層113との間のリーク電流を第1の実施形態の場合よりもさらに低減することが可能になる。なお、本実施形態の場合のように、Ti膜108とTiSiN膜123の間にTiN膜が介在しない場合においても、第1の実施形態で述べたように、

TiSiN膜123aに含まれるSiの濃度は、5原子%以上に設定するのが望ましい。また、TiSiN膜123aの厚さは、1nm以上かつ50nm以下に設定するのが望ましい。また、TiSiN膜123bの厚さは、TiSiN膜123aの厚さよりも小さく設定するのが望ましい。

【0091】以下、図面を参照しながら、この半導体装置の製造方法を説明する。

【0092】まず、図15に示すように、半導体基板101の表面に下部配線層102を形成する。次に、図16に示すように、SiO₂膜(膜厚:約100~200nm)103、Si₃N₄膜(膜厚:約5~50nm)104、SiO₂膜(膜厚:約100~1000nm)105を順に堆積した後に、リソグラフィー法およびドライエッティング法を2回ずつ交互に適用することによって、SiO₂膜103およびSi₃N₄膜104の内部にスルーホール106を、SiO₂膜105の内部に配線溝107を形成する。次に、図17に示すように、ドライエッティング法によりスルーホール106の底部の清浄化を行なった後に、物理的気層成長法によりTi膜(膜厚:約0.5~10nm)108を、続いて化学的気層成長法によりTiSiN膜(膜厚:約1~50nm)123を堆積する。

【0093】化学的気層成長法によるTiSiN膜123の堆積方法は以下のようにして行なう。Ti膜108の堆積が済んだ半導体基板101を、真空チャンバ内で350°Cに加熱する。半導体基板101が定常温度に到達したら、真空チャンバの内部にHeで希釈したTDMATおよびSiH₄を同時に導入する。このとき、TDMATの分圧は6Pa、SiH₄の分圧は1Paとなるように、TDMATおよびSiH₄の導入量を調節する。導入されたTDMATはTi膜108の表面でSiH₄と反応し、TiSiN膜123が堆積される。本実施形態では、堆積するTiSiN膜123の厚さを20nmとしている。

【0094】次に、図18に示すように、TiSiN膜123の表面を、N₂プラズマに暴露する。この際、半導体基板101に平行な平面上に堆積されたTiSiN膜123bは、陽イオンの衝撃を効果的に受けるために、その密度が向上する。一方、半導体基板101に垂直な平面上に堆積されたTiSiN膜123aは、陽イオンの衝撃をほとんど受けないために、その密度が変化しない。N₂プラズマへの暴露がTiSiN膜123aおよびTiSiN膜123bに与える影響については、後に詳しく説明する。

【0095】次に、図19に示すように、TiSiN膜123の表面に物理的気層成長法によりCu膜(膜厚:約5~200nm)111を堆積する。ただし、Cu膜111の堆積は半導体基板101の中央部のみとする。Cu膜111を堆積した後に、Cu膜111およびTi

SiN膜123bの表面をH₂SO₄で洗浄してから、電解メッキ法によりCu膜（膜厚：約100～1000nm）112を堆積する。この際、TiSiN膜123bの表面ではCu膜は成長しない。最後に、SiO₂膜105上のTi膜108、TiN膜109、TiSiN膜123、Cu膜111およびCu膜112を化学機械的研磨法により除去することにより、図20のような半導体装置が実現される。

【0096】ここで、N₂プラズマに暴露した後のTiSiN膜123aおよびTiSiN膜123bの厚さを透過電子顕微鏡（TEM）で測定した結果を図21に示す。図21から明らかなように、TiSiN膜123bの厚さは、TiSiN膜123aの厚さよりも小さくなっている。これは、TiSiN膜123bがN₂プラズマへの暴露により陽イオンの衝撃を受けるために、その密度が向上するためである。

【0097】次に、TiSiN膜123aおよびTiSiN膜123bの組成および化学構造をXPSにより分析した結果を図22(a)および(b)から図23(a)および(b)に示す。図22(a)および(b)は、それぞれ、TiSiN膜123aおよびTiSiN膜123bに含まれるTi原子のXPSスペクトル(Ti2p)を測定したものである。図23(a)および(b)は、それぞれ、TiSiN膜123aおよびTiSiN膜123bに含まれるSi原子のXPSスペクトル(Si2p)を測定したものである。図23(a)および(b)から明らかなように、TiSiN膜123aおよびTiSiN膜123bに含まれるSiはSi-Nという結合形態をとっている。このため、TiSiN膜123aはCu原子の拡散を有効に防止することができる。また、TiSiN膜123bの表面では、Si-N結合が支配的となっているため、TiSiN膜123bの表面ではCu膜の異常成長が発生しない。

【0098】図24はTiSiN膜123aおよびTiSiN膜123bに含まれるSi原子の濃度を表面からの深さの関数として表示したものである。図24から明らかなように、TiSiN膜123a、TiSiN膜123bとともに表面および内部に多量のSiを含んでいる。TiSiN膜123aに含まれるSiの濃度は、第1の実施形態におけるTiSiN膜123aに含まれているSiの濃度よりも大きい。このため、本実施形態のような方法で半導体装置を製造すると、スルーホール106の間および上部配線層113の間のリーク電流を、第1の実施形態の場合よりもさらに低減することが可能となる。

【0099】ここで、TiSiN膜123を堆積する際の半導体基板101の温度の設定方法について説明する。半導体基板101の温度が250℃より低くなると、TDMATとSiH₄が反応する速度が低下するために、TiSiN膜123の堆積に要する時間が著しく

長くなる。一方、半導体基板101の温度が450℃より高くなると、TDMATの熱分解反応がいわゆる供給律速状態に移行するために、TiN膜109の段差被覆性が低下する。以上の理由から、TiSiN膜123を堆積する際の半導体基板101の温度は、250℃以上かつ450℃以下に設定するのが望ましい。

【0100】次に、TiSiN膜123を形成する際のTDMATおよびSiH₄の分圧の設定方法について説明する。TDMATの分圧が3Paより、また、SiH₄の分圧が0.5Paより低くなると、TDMATおよびSiH₄からTiSiN膜123が形成される反応の速度が低下するために、TiSiN膜123の形成に要する時間が著しく長くなる。以上の理由から、TiSiN膜123を形成する際のTDMATの分圧は3Pa以上、SiH₄の分圧は0.5Pa以上に設定するのが望ましい。

【0101】次に、TiSiN膜123を堆積する際のTiSiN膜123の厚さの設定方法について説明する。TiSiN膜123の厚さが1nm以下になると、N₂プラズマに暴露した後のTiSiN膜123aの厚さが不十分となり、Cu原子の拡散を防止する性能が低下するので、スルーホール106の間および上部配線層113の間のリーク電流が増大する。一方、TiSiN膜123の厚さが50nm以上になると、上部配線層113の断面積をCu膜111およびCu膜112の断面積が占める割合が低下するために、上部配線層113の配線抵抗が増大し、半導体装置の動作速度を低下させる。以上の理由から、TiSiN膜123を堆積する際のTiSiN膜123の厚さは、1nm以上かつ50nm以下に設定するのが望ましい。

【0102】本実施形態における半導体装置の製造は、図14で示した半導体装置の製造装置を以下のように動作させることによって行なうことができる。まず、真空チャンバ114の内部を大気開放し、Ti膜108の堆積が済んだ半導体基板101をサセプタ115の上に設置した後に、排気口117を通じて真空チャンバ114の内部を排気する。排気が完了したら、加熱機構116を作動させ、サセプタ115を通じて半導体基板101を加熱する。半導体基板101の温度の定常温度が350℃になるように、加熱機構116の出力を調節する。半導体基板101の温度が定常温度に到達したら、TDMAT導入口118からHeで希釈したTDMATを、SiH₄導入口120からSiH₄を導入する。これによりTi膜108の表面でTDMATがSiH₄と反応し、TiSiN膜123が堆積される。所定の時間が経過したら、TDMATおよびSiH₄の導入を停止し、代わってN₂導入口119からN₂を真空チャンバ114の内部に導入する。真空チャンバ114の内部でN₂の分圧が安定したら、高周波電源122からサセプタ115および上部電極121に電力を供給し、真空チャン

パ114の内部でN₂プラズマを発生させる。これにより、半導体基板101に平行な平面上に堆積されたTiSiN膜123aは、陽イオンの衝撃を受け、その密度が向上する。所定の時間が経過したら、高周波電源122を停止させ、N₂導入口119からのN₂の導入を停止する。最後に、加熱機構116の動作を停止させ、真空チャンバ114を大気開放した後に、半導体基板101を排出する。

【0103】(実施形態3) 図31から図37を参照しながら、本発明による半導体装置の第3の実施形態を説明する。図31から図37では、図1から図7に示した構成と同一の構成要素には同一の符号を付け、その構成要素の詳細な説明を省略する。

【0104】本半導体装置は、図37に示されるように、不図示のトランジスタなどの集積回路素子が形成された半導体基板101と、半導体基板101の表面に形成された下部配線層102と、下部配線層102を覆うように半導体基板101上に堆積されたSiO₂膜103とを備えている。

【0105】SiO₂膜103上にはSi₃N₄膜104が堆積されており、Si₃N₄膜104上にはSiO₂膜105が堆積されている。SiO₂膜103、Si₃N₄膜104およびSiO₂膜105によって層間絶縁膜が形成されている。この層間絶縁膜には、下部配線層102に達するスルーホール106と、スルーホール106に連結する配線溝107とが形成されており、配線溝107内にはスルーホール106を介して下部配線層102に電気的に接触する上部配線層113が設けられている。

【0106】上部配線層113は、スルーホール106および配線溝107の内側面および底面を覆うようチタン(Ti)膜108と、Ti膜108上に堆積されたTi₂N膜109と、Ti₂N膜109上に堆積されたTiSiN膜110と、TiSiN膜110上に形成された堆積されたCu膜111、Cu膜111上に堆積されたCu膜112とを含んでおり、TiSiN膜110とCu膜111との界面には、ケイ化銅(Cu₃Si)膜125が形成されている。

【0107】TiSiN膜109は、スルーホール106および配線溝107の内側壁上に形成された垂直部分(半導体基板101に実質的に垂直な面上に形成された部分)109aと、スルーホール106および配線溝107の底面上に形成された水平部分(半導体基板101に実質的に平行な面上に形成された部分)109bとに、必要に応じて区別する。同様に、TiSiN膜110は、スルーホール106および配線溝107の内側壁上に形成された垂直部分(半導体基板101に実質的に垂直な面上に形成された部分)110aと、スルーホール106および配線溝107の底面上に形成された水平部分(半導体基板101に実質的に平行な面上に形成され

部分)110bとに、必要に応じて区別する。

【0108】以上の構成を採用することによって、従来に比較して、スルーホール106の間、および上部配線層113の間のリーク電流を低減することができ、また、スルーホール106および上部配線層113のエレクトロマイグレーション耐性を改善することができる。これは、TiSiN膜110とCu膜111との界面に設けたCu₃Si膜125によって、TiSiN膜110とCu膜111との間の密着性が向上し、Cu原子の移動が生じにくくなるためである。

【0109】以下、図面を参照しながら、この半導体装置の製造方法を説明する。

【0110】まず、図31に示すように、半導体基板101の表面に下部配線層102を形成する。次に、図32に示すように、SiO₂膜(膜厚:約100~200nm)103、Si₃N₄膜(膜厚:約5~50nm)104、SiO₂膜(膜厚:約100~1000nm)105を順に堆積した後に、リソグラフィー法およびドライエッティング法を2回ずつ交互に適用することによって、SiO₂膜103およびSi₃N₄膜104の内部にスルーホール106を、SiO₂膜105の内部に配線溝107を形成する。次に、図33に示すように、ドライエッティング法によりスルーホール106の底部の清浄化を行なった後に、物理的気相成長法によりTi膜(膜厚:約0.5~10nm)108を、続いて化学的気相成長法によりTiN膜109を堆積する。その後、TiN膜109の表面を、N₂プラズマに曝露する。この際、半導体基板101に平行な平面上に堆積されたTiN膜109bは、陽イオンの衝撃を効果的に受けるために、その密度が向上する。一方、半導体基板101に垂直な平面上に堆積されたTiN膜109aは、陽イオンの衝撃をほとんど受けないために、その密度が変化しない。

【0111】次に、図35に示すように、TiN膜109の表面をSiH₄に曝露する。この際、半導体基板の温度を300℃以上に加熱し、TiN膜109の表面をSiH₄に曝露する時間を15秒以上にすると、TiN膜109aの表面にはTiSiN膜110aが形成され、TiN膜109bの表面にはTiSiN膜110bが形成される。また、そのとき、TiSiN膜110の表面にはSi膜(厚さ:1~10nm)124が成長する。

【0112】次に、Si膜124の表面に物理的気相成長法によってCu膜(膜厚:約5~200nm)111を堆積する。ただし、Cu膜111の堆積は半導体基板101の中央部のみとする。Si膜124とCu膜111とは直ちに反応し、図36に示すように、Cu₃Si膜125が形成される。次に、Cu膜111およびSi膜124の表面をH₂SO₄で洗浄してから、電解メッキ法によりCu膜(膜厚:約100~1000nm)11

2を堆積する。この際、Si膜124の表面のうち露出領域の上にはCu膜は成長しない。これは、大気中での搬送によってSi膜124の露出表面上に絶縁性の高いSiO₂膜が形成され、その部分ではCuイオンの還元反応が起こらないためである。

【0113】最後に、SiO₂膜105上に位置するTi膜108、TiN膜109、TiSiN膜110、Cu₃Si膜125、Cu膜111およびCu膜112を化学機械的研磨法により除去することにより、図37に示す半導体装置が作製される。

【0114】ここで、Si膜124とCu膜111の堆積は、真空中で連続して行なうことが好ましい。これは、Cu膜111を堆積する前にSi膜124を大気に暴露すると、Si膜124の表面にSiO₂膜が形成されるため、Si膜124とCu膜111との反応が阻害されてしまうからである。このような連続膜堆積は、図38に示す半導体装置の製造装置を用いて実現できる。図38の装置は、例えば図14に示すような構成を持つ化学的気相成膜室126と、成膜室126に接続された銅堆積室127を備え、成膜室126と銅堆積室127との間が減圧搬送室128で連結されている。

【0115】以上、本発明を3つの実施形態について説明したきたが、本発明はこれらの実施形態に限定されるものではない。例えば、上述の実施形態では、スルーホール106および配線溝107を連続して形成した後に、これらの内部をCu膜112などの金属材料で埋め込む「デュアルダマシン法」を適用しているが、スルーホール106あるいは配線溝107のいずれか一方を形成した後にこれらの内部をCu膜112などの金属材料で埋め込む「シングルダマシン法」を代わりに適用することができる。また、上述の実施形態では、配線層の間を絶縁する材料としてSiO₂およびSi₃N₄を使用しているが、これらの代わりに他の材料を用いることも可能である。そのような材料の例としては、フッ素(F)などの不純物を含むSiO₂や絶縁性を有する有機化合物が挙げられる。また、上述の実施形態では、SiO₂膜105の表面およびスルーホール106の内部にTi膜108を堆積しているが、下部配線層102を形成する導電性材料の種類によってはTi膜108の堆積が不要となる。ただし、スルーホール106や配線溝107に埋め込む金属材料が銅の場合には、Ti膜108を堆積する方が好ましい。これは、Ti膜108によって埋め込んだ銅の結晶配向性が向上し、エレクトロマイグレーション耐性が向上するためである。この場合、Ti膜108の堆積とTiN膜109の堆積あるいはTiSiN膜123の堆積は真空中で連続的に行なうのが好ましい。これは、例えば図39の製造装置を用いて実現できる。図39の装置は、前述の成膜室126に接続されたチタン堆積室129を備え、成膜室126とチタン堆積室129との間が減圧搬送室128で連結されている。

なお、図示されてはいないが、成膜室126が銅堆積室127およびチタン堆積室129の両方と減圧搬送室128に連結される構成を採用してもよい。

【0116】また、上述の実施形態では、TiN膜109およびTiSiN膜123の原材料としてTDMA-Tを使用しているが、チタンを含む有機化合物であれば代わりに使用することができる。そのような化合物の例としては、テトラキスジエチルチタン(TDEAT)やテトラキスエチルメチルチタン(TEMAT)が挙げられる。また、上述の実施形態では、TiN膜109およびTiSiN膜123をN₂中で発生させたプラズマに暴露しているが、窒素化合物であれば代わりに使用することができます。そのような気体の例としては、アンモニア(NH₃)やヒドログリジン(N₂H₄)が挙げられる。

【0117】また、上述の実施形態では、TiSiN膜110の形成およびTiSiN膜123の堆積にSiH₄を使用しているが、シリコン化合物であれば代わりに使用することができる。そのような化合物の例としては、ジシラン(Si₂H₆)、トリシラン(Si₃H₈)が挙げられる。また、上述の実施形態では、Cu膜111の堆積に物理的気層成長法を使用しているが、例えば化学的気層成長法によりCu膜111の堆積を行なうこともできる。また、上述の実施形態では、Cu膜112の堆積に電解メッキ法を使用しているが、スルーホール106および配線溝107を埋め込むことができる堆積方法であれば代わりに使用することができる。そのような堆積方法の例としては、無電解メッキ法が挙げられる。

【0118】また、薄膜に対してイオン衝撃を与える方法として、上記実施形態では薄膜へのプラズマ照射を行ったが、他の方法、例えばイオン注入法を用いても良い。

【0119】

【発明の効果】本発明によれば、スルーホールの側壁および配線層の側壁はシリコン含有窒化チタン層によって被覆されている。シリコン含有窒化チタン層は、窒化チタンと比較して銅原子の拡散を防止する能力が高いので、以上のような構成とすることにより、絶縁膜に含まれる銅原子の濃度を低くすることができる。従って、従来の技術と比較して、スルーホールの間および上部配線層の間のリーク電流を低くすることができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の製造方法の第1の実施形態を説明するための工程断面図である。

【図2】本発明による半導体装置の製造方法の第1の実施形態を説明するための工程断面図である。

【図3】本発明による半導体装置の製造方法の第1の実施形態を説明するための工程断面図である。

【図4】本発明による半導体装置の製造方法の第1の実施形態を説明するための工程断面図である。

【図5】本発明による半導体装置の製造方法の第1の実

施形態を説明するための工程断面図である。

【図6】本発明による半導体装置の製造方法の第1の実施形態を説明するための工程断面図である。

【図7】本発明による半導体装置の第1の実施形態の断面図である。

【図8】本発明の第1の実施形態において、半導体基板に垂直な平面上に形成されたシリコン含有空化チタン層に含まれるシリコンの濃度を、表面からの深さの関数として示すグラフである。

【図9】(a)および(b)は、本発明の第1の実施形態において、半導体基板に垂直な平面上に形成されたシリコン含有空化チタン層の表面および内部を、X線光電子分光法により分析した結果を示すグラフである。

(a)は、SiH₄暴露を受けることによって形成されたシリコン含有空化チタン層に含まれるTi原子XPSスペクトル(Ti 2 p)を示し、(b)はSiH₄暴露を受けていない空化チタン層に含まれるTi原子XPSスペクトル(Ti 2 p)を示している。

【図10】(a)および(b)は、本発明の第1の実施形態において、半導体基板に垂直な平面上に形成されたシリコン含有空化チタン層の表面および内部を、X線光電子分光法により分析した結果を示すグラフである。

(a)は、SiH₄暴露を受けることによって形成されたシリコン含有空化チタン層に含まれるSi原子XPSスペクトル(Si 2 p)を示し、(b)はSiH₄暴露を受けていない空化チタン層に含まれるSi原子XPSスペクトル(Si 2 p)を示している。

【図11】本発明の第1の実施形態において、半導体基板に平行な平面上に形成されたシリコン含有空化チタン層に含まれるシリコンの濃度を表面からの深さの関数として示すグラフである。

【図12】(a)および(b)は、本発明の第1の実施形態において、半導体基板に平行な平面上に形成されたシリコン含有空化チタン層の表面および内部を、X線光電子分光法により分析した結果を示すグラフである。

(a)は、SiH₄暴露を受けることによって形成されたシリコン含有空化チタン層に含まれるTi原子XPSスペクトル(Ti 2 p)を示し、(b)はSiH₄暴露を受けていない空化チタン層に含まれるTi原子XPSスペクトル(Ti 2 p)を示している。

【図13】(a)および(b)は、本発明の第1の実施形態において、半導体基板に平行な平面上に形成されたシリコン含有空化チタン層の表面および内部を、X線光電子分光法により分析した結果を示すグラフである。

(a)は、SiH₄暴露を受けることによって形成されたシリコン含有空化チタン層に含まれるSi原子XPSスペクトル(Si 2 p)を示し、(b)はSiH₄暴露を受けていない空化チタン層に含まれるSi原子XPSスペクトル(Si 2 p)を示している。

【図14】本発明による半導体装置の製造装置の実施形

態の断面図である。

【図15】本発明による半導体装置の製造方法の第2の実施形態を説明するための工程断面図である。

【図16】本発明による半導体装置の製造方法の第2の実施形態を説明するための工程断面図である。

【図17】本発明による半導体装置の製造方法の第2の実施形態を説明するための工程断面図である。

【図18】本発明による半導体装置の製造方法の第2の実施形態を説明するための工程断面図である。

【図19】本発明による半導体装置の製造方法の第2の実施形態を説明するための工程断面図である。

【図20】本発明による半導体装置の第2の実施形態を説明するための断面図である。

【図21】本発明の第2の実施形態において、半導体基板に垂直な平面上に堆積されたシリコン含有空化チタン層と、半導体基板に平行な平面上に堆積されたシリコン含有空化チタン層の厚さを、比較して示すグラフである。

【図22】(a)および(b)は、本発明の第2の実施形態において、半導体基板に垂直な平面上に形成されたシリコン含有空化チタン層の表面および内部と、半導体基板に平行な平面上に形成されたシリコン含有空化チタン層の表面および内部を、X線光電子分光法により測定されたTi原子のXPSスペクトル(Ti 2 p)を示すグラフである。

【図23】(a)および(b)は、それぞれ、本発明の第2の実施形態において、半導体基板に垂直な平面上に形成されたシリコン含有空化チタン層の表面および内部と、半導体基板に平行な平面上に形成されたシリコン含有空化チタン層の表面および内部を、X線光電子分光法により測定されたSi原子のXPSスペクトル(Si 2 p)を示すグラフである。

【図24】本発明の第2の実施形態において、半導体基板に平行な平面上に形成されたシリコン含有空化チタン層に含まれるシリコンの濃度と、半導体基板に垂直な平面上に形成されたシリコン含有空化チタン層に含まれるシリコンの濃度を、表面からの深さの関数として示すグラフである。

【図25】従来の半導体装置の製造方法を示す工程断面図である。

【図26】従来の半導体装置の製造方法を示す工程断面図である。

【図27】従来の半導体装置の製造方法を示す工程断面図である。

【図28】従来の半導体装置の製造方法を示す工程断面図である。

【図29】従来の半導体装置の製造方法を示す工程断面図である。

【図30】従来の半導体装置を示す断面図である。

【図31】本発明による半導体装置の製造方法の第3の

実施形態を説明するための工程断面図である。

【図3 2】本発明による半導体装置の製造方法の第3の実施形態を説明するための工程断面図である。

【図3 3】本発明による半導体装置の製造方法の第3の実施形態を説明するための工程断面図である。

【図3 4】本発明による半導体装置の製造方法の第3の実施形態を説明するための工程断面図である。

【図3 5】本発明による半導体装置の製造方法の第3の実施形態を説明するための工程断面図である。

【図3 6】本発明による半導体装置の製造方法の第3の実施形態を説明するための工程断面図である。

【図3 7】本発明による半導体装置の第2の実施形態を説明するための断面図である。

【図3 8】本発明による半導体装置の製造方法に使用する装置の構成図である。

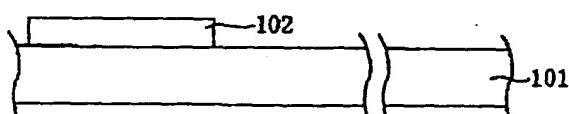
【図3 9】本発明による半導体装置の製造方法に使用する装置の構成図である。

【符号の説明】

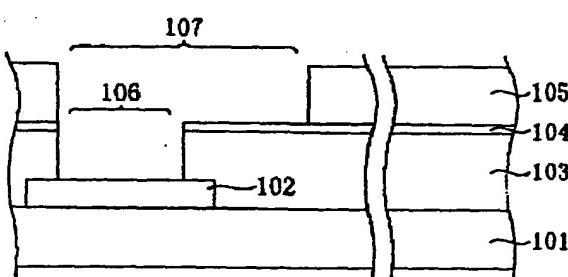
- 1 半導体基板
- 2 下部配線層
- 3 二酸化ケイ素膜
- 4 四空化三ケイ素膜
- 5 二酸化ケイ素膜
- 6 スルーホール
- 7 配線溝
- 8 チタン層
- 9 穹化チタン層
- 10 銅膜
- 11 銅膜
- 12 銅膜
- 13 上部配線層
- 101 半導体基板
- 102 下部配線層

- 103 二酸化ケイ素膜
- 104 四空化三ケイ素膜
- 105 二酸化ケイ素膜
- 106 スルーホール
- 107 配線溝
- 108 チタン層
- 109 穹化チタン層
- 109a 穹化チタン層
- 109b 穹化チタン層
- 110 シリコン含有穹化チタン層
- 110a シリコン含有穹化チタン層
- 110b シリコン含有穹化チタン層
- 111 銅膜
- 112 銅膜
- 113 上部配線層
- 114 真空チャンバ
- 115 サセプタ
- 116 加熱機構
- 117 排気口
- 118 テトラキスジメチルチタン導入口
- 119 穹素導入口
- 120 シラン導入口
- 121 上部電極
- 122 高周波電源
- 123 シリコン含有穹化チタン層
- 123a シリコン含有穹化チタン層
- 123b シリコン含有穹化チタン層
- 124 シリコン層
- 125 珪化銅層
- 126 化学的気相成長室
- 127 銅堆積室
- 128 搬送室
- 129 チタン堆積室

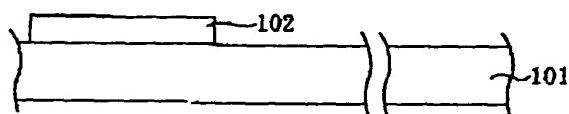
【図1】



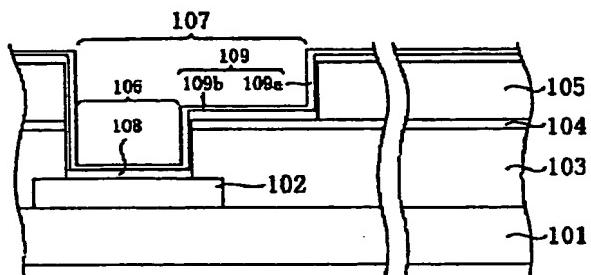
【図2】



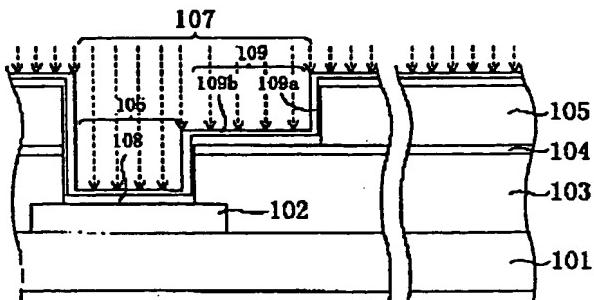
【図15】



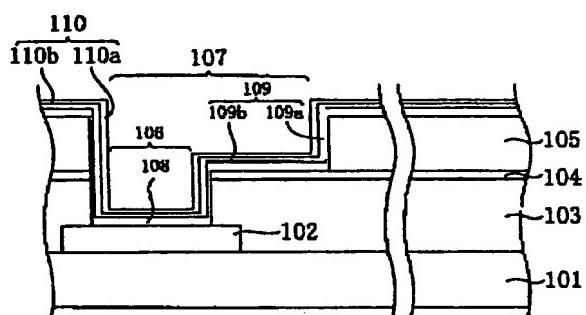
【図3】



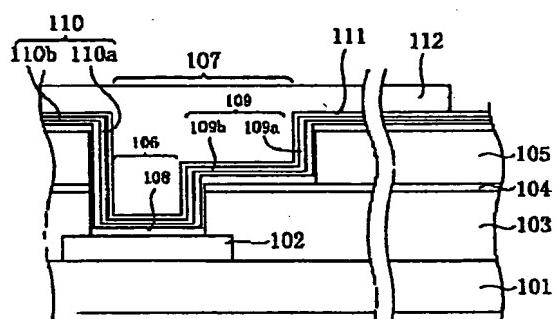
【図4】



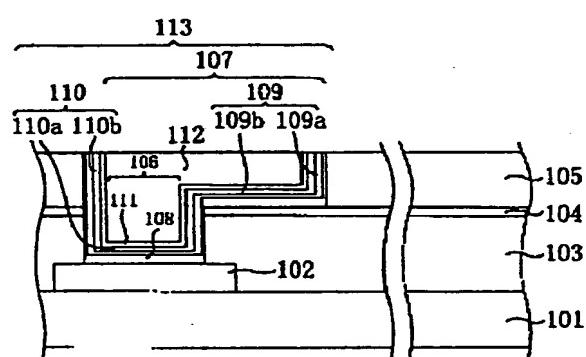
【図5】



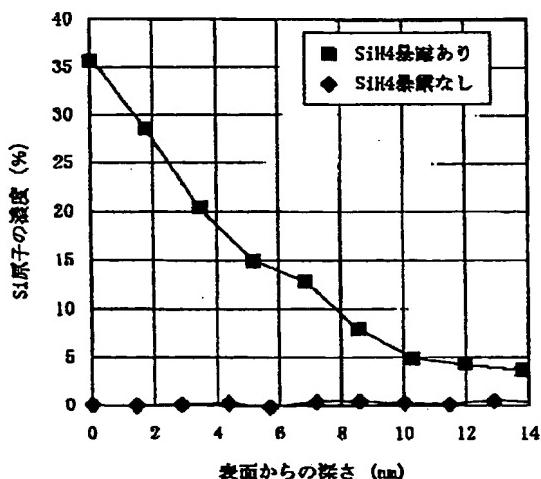
【図6】



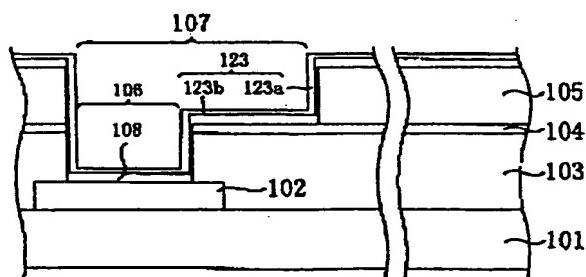
【図7】



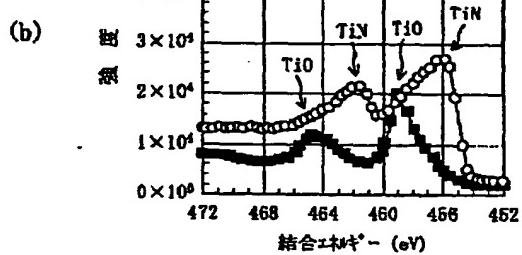
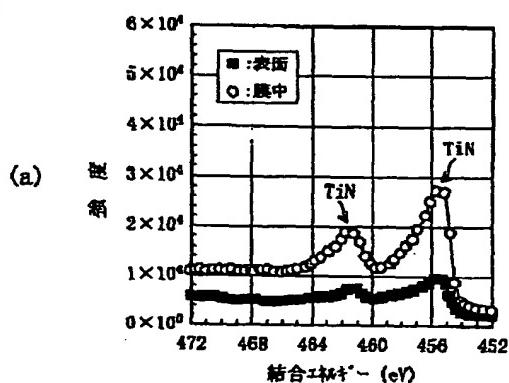
【図8】



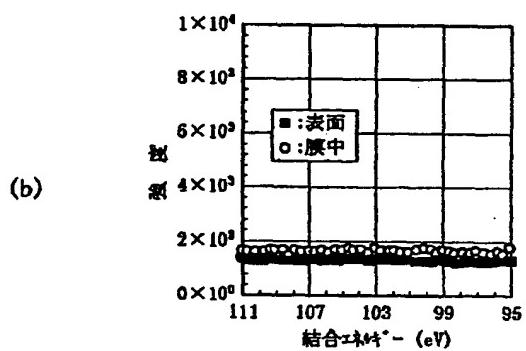
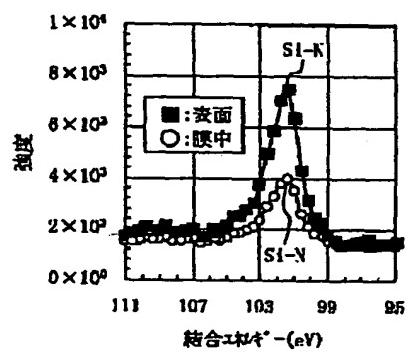
【図17】



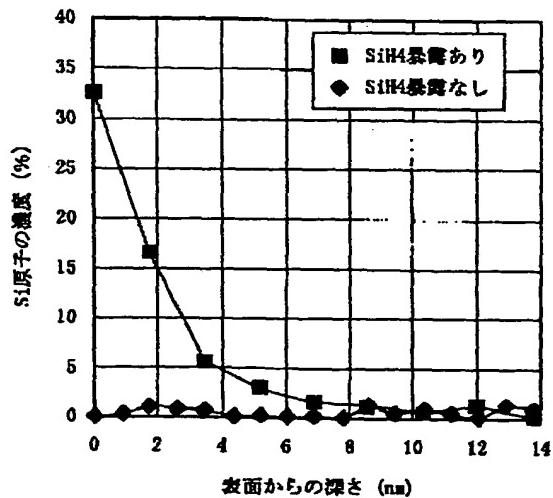
【図9】



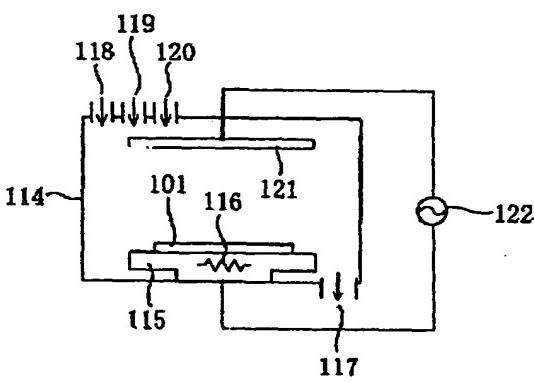
【図10】



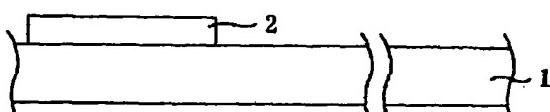
【図11】



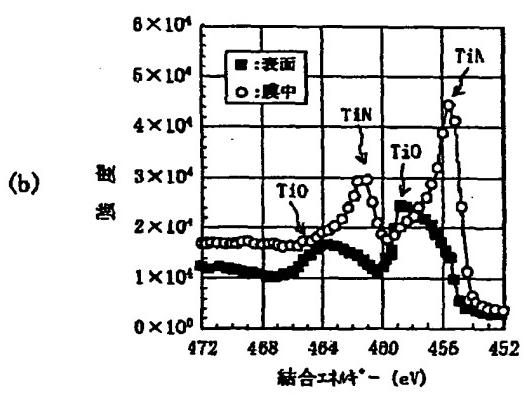
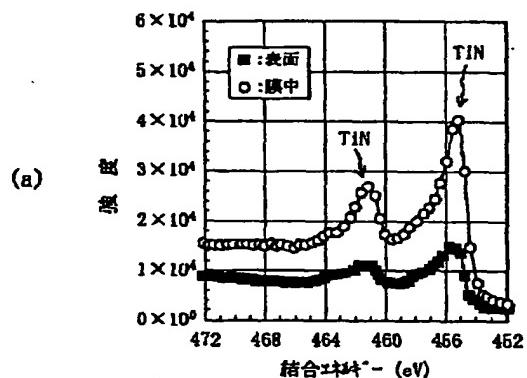
【図14】



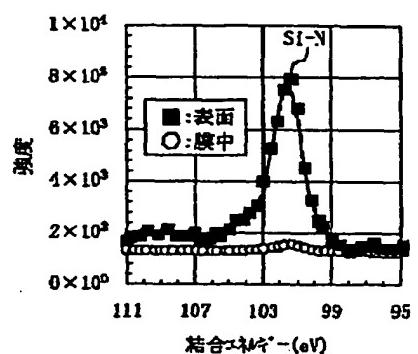
【図25】



【図12】

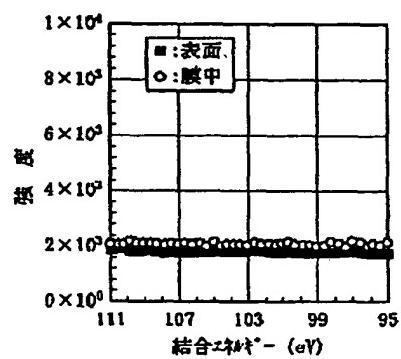


【図13】

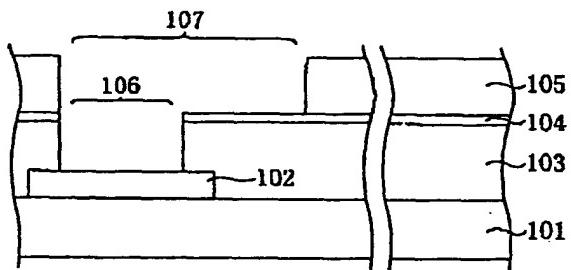


(a)

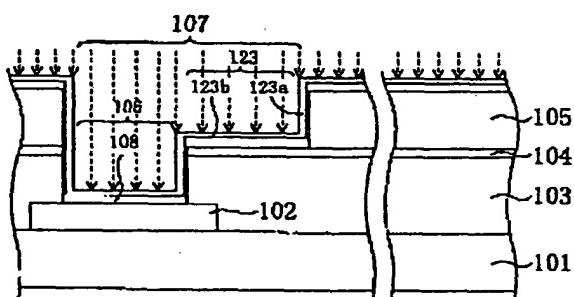
(b)



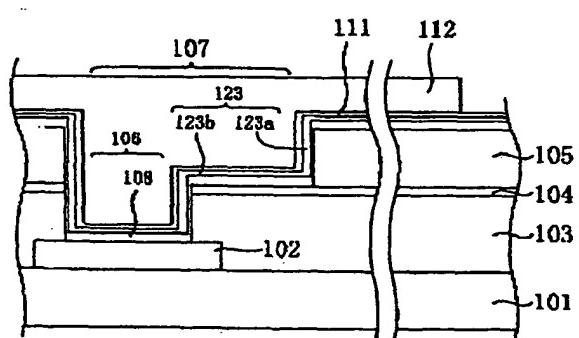
【図16】



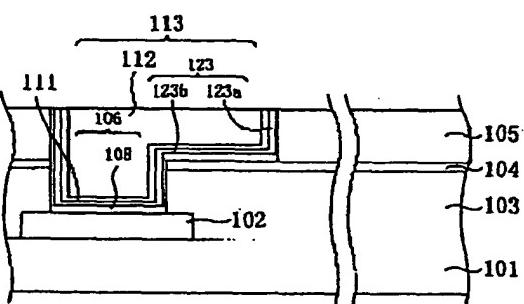
【図18】



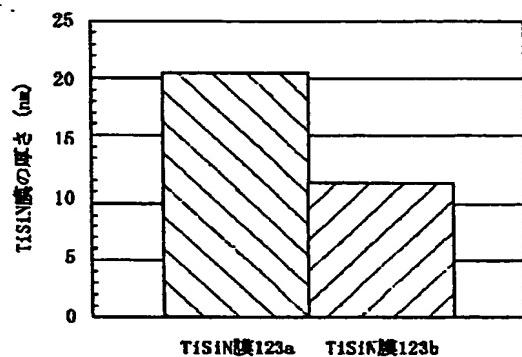
【図19】



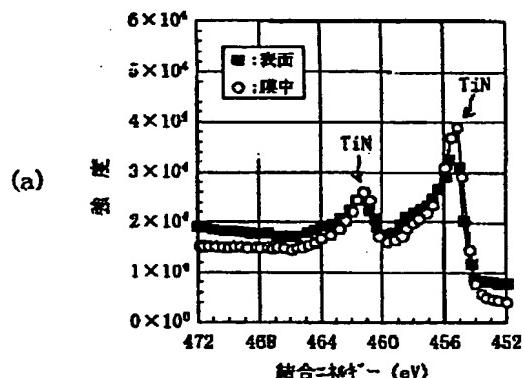
【図20】



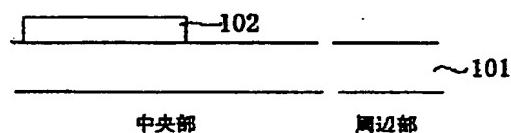
【図21】



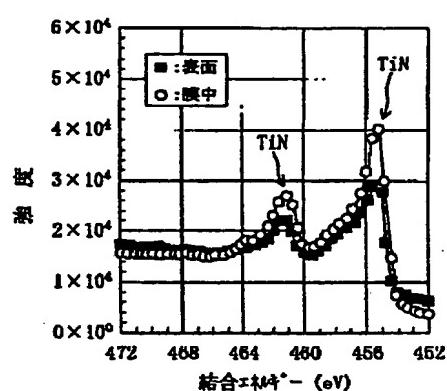
【図22】



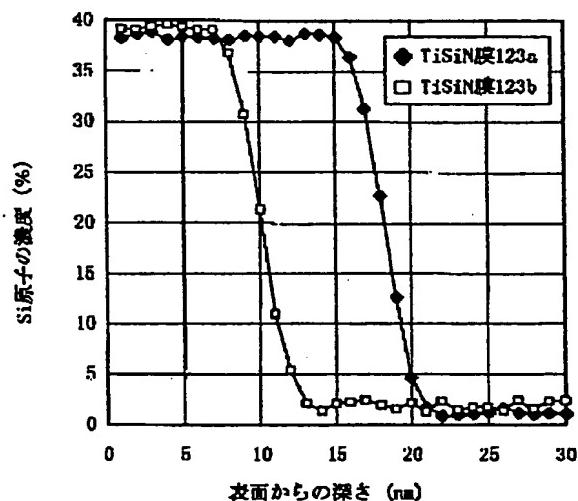
【図31】



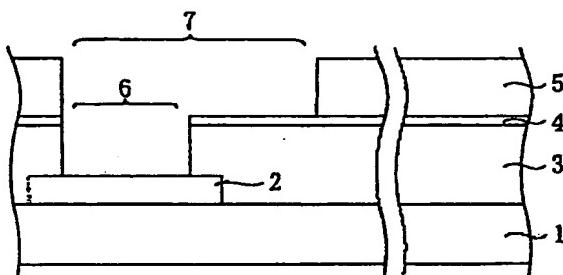
(b)



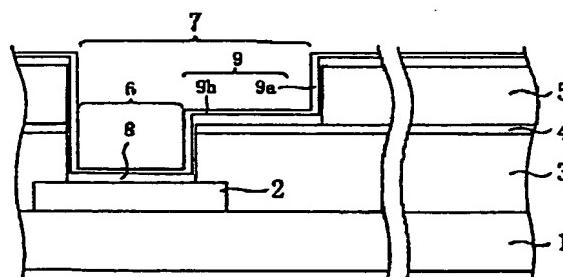
【図24】



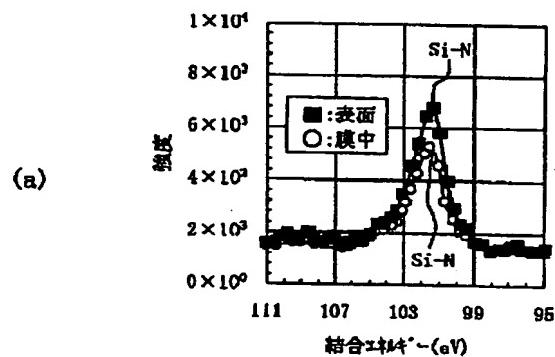
【図26】



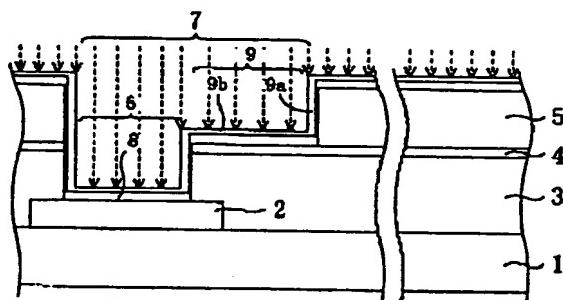
【図27】



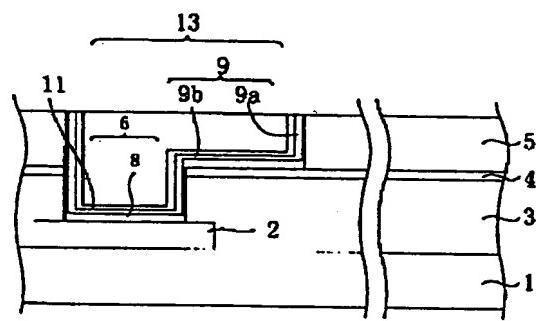
【図23】



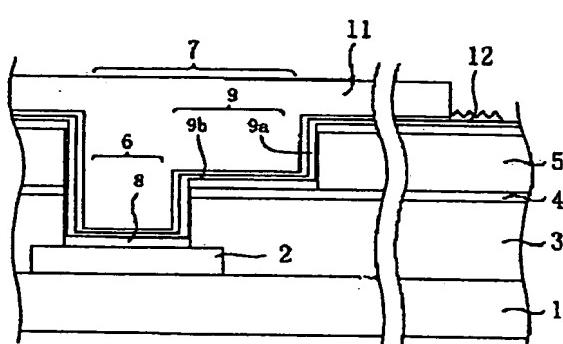
【図28】



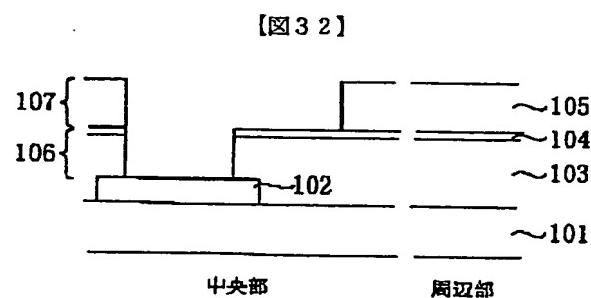
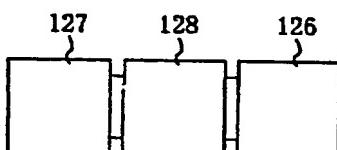
【図30】



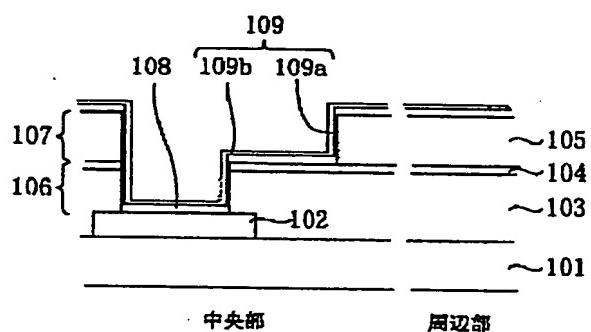
【図29】



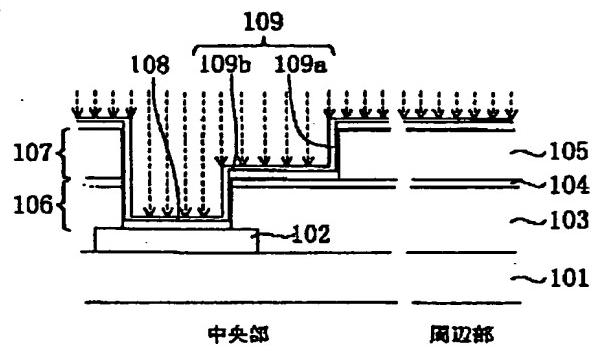
【図38】



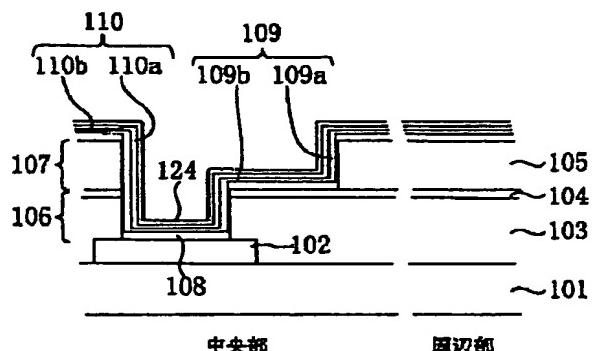
【図33】



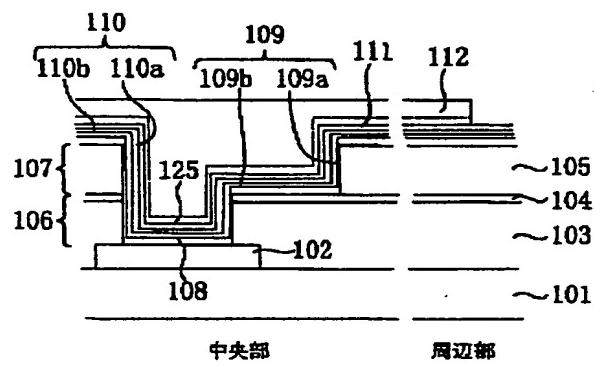
【図34】



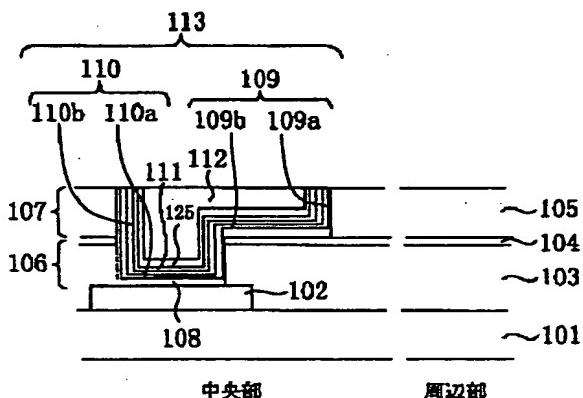
【図35】



【図36】



【図37】



【図39】

